

SoundPlus™ BiCMOSサイン・マグニチュード方式
 24ビットD/Aコンバータ

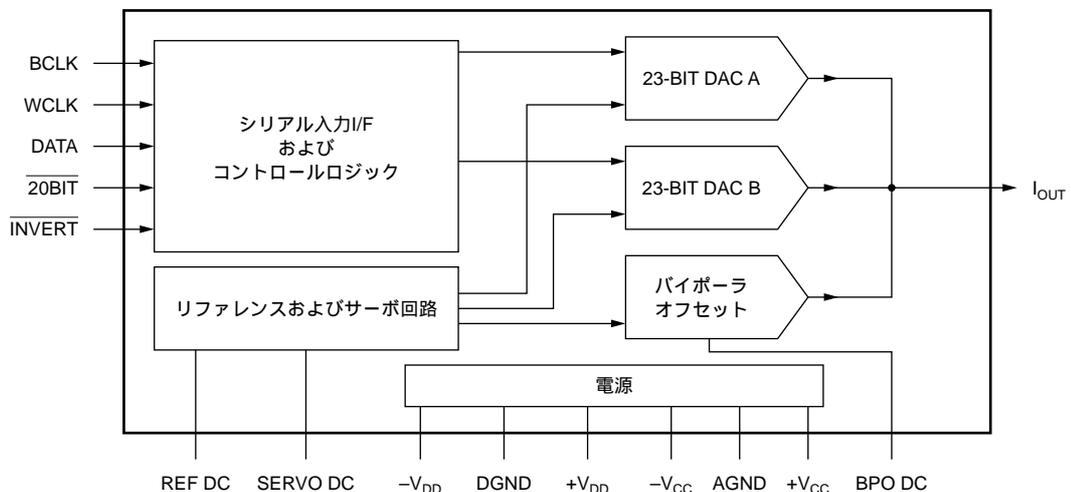
特 長

- 20/24ビット、オーディオ・データ・インターフェース
- 高性能
 THD + N at 0dB : 0.0008%(標準、Kグレード)
 S/N比(EIAJ) : 120dB(標準)
 ダイナミック・レンジ(EIAJ) : 112dB(標準、Kグレード)
- 入力データレート : 768kHz(最大)
 (96kHz × 8倍オーバー・サンプリング)
 (192kHz × 4倍オーバー・サンプリング)
- 高速セトリング電流出力 : ±1.2mA/200ns
- ノン・ゼロクロス歪、グリッチレス・デザイン
- 入力データ極性(位相)選択可
- 電源電圧 : ±5V
- パッケージ : 小型20ピンSOP

概 要

PCM1704は、24ビット分解能を有する高精度デジタル・オーディオ用D/Aコンバータで、既にPCM1702で実績のあるサイン・マグニチュード変換方式を採用し、さらなる高性能化を実現しています。PCM1704は、最大768kHzのデータレートに対応しているため、96kHzの基準サンプリング・レートの8倍オーバー・サンプリング、192kHzの基準サンプリング・レートの4倍オーバー・サンプリングのデータを入力することができ、24ビット、96/192kHzサンプリング・フォーマットでの高精度D/A変換が可能です。

PCM1704は特に微小信号再生能力に優れたパフォーマンスを有しているため、-120dBの信号レベルも完全に再現することができ、ゼロクロス歪みやグリッチの発生もありません。±5V電源で動作し、その優れた性能によりプロ用デジタル・オーディオ機器、高級CDプレーヤ、DVDプレーヤ、電子楽器等の幅広いデジタル・オーディオ・アプリケーションに最適なデバイスです。



仕様

特に記述のない限り、 $T_A = +25$ 、 $\pm V_{CC} = \pm V_{DD} = \pm 5V$ 、 $f_s = 768kHz$ 、信号周波数 = 1.125kHz、24ビット・データです。

パラメータ	条件	PCM1704U			単位
		最小	標準	最大	
分解能 オーディオ・データ・インターフェース・フォーマット オーディオ・データ・コード 入力オーディオ・データ・レート f_s 入力クロック周波数		24 20/24ビット、MSBファースト 2'sコンプリ			Bits kHz MHz
デジタル入力 入力ロジック・レベル $V_{IH}^{(1)}$ $V_{IL}^{(1)}$ $V_{IH}^{(2)}$ $V_{IL}^{(2)}$ 入力ロジック電流 $I_{IH}^{(1)}$ $I_{IL}^{(1)}$ $I_{IH}^{(2)}$ $I_{IL}^{(2)}$	$V_{IH} = -V_{DD}$ $V_{IL} = 0V$ $V_{IH} = 0V$ $V_{IL} = -V_{DD}$	+2.0 0 -3.0 -5.0		+5.0 +0.8 0 -4.2 ±10 ±10 ±10 -100	V V V V μA μA μA μA
アナログ特性 ダイナミック特性 ⁽³⁾ THD +N $V_o = 0dB$ $V_o = -20dB$ ダイナミック・レンジ S/N比 低レベル・リニアリティ	PCM1704U PCM1704U-J PCM1704U-K PCM1704U PCM1704U-J PCM1704U-K EIAJ、Aウェイト PCM1704U、U-J PCM1704U-K EIAJ、Aウェイト $f = 1002Hz$, at $-90dB$		0.0025 0.0015 0.0008 0.008 0.007 0.006 102 106 112	0.003 0.0025 0.0015 0.02 0.015 0.010 110 112 120 ±0.5	% % % % % dB dB dB dB
DC特性 ゲイン誤差 バイポーラ・ゼロ誤差 ゲイン・ドリフト バイポーラ・ゼロ・ドリフト	0 ~ +70 0 ~ +70		±1.0 ±0.5 ±25 ±5	±3.0 ±1.0	% of FSR % of FSR ppm of FSR/ ppm of FSR/
アナログ出力 出力範囲 出力インピーダンス セットリングタイム(±0.003% of FSR)	1.2mAステップ(10Ω ~ 100Ω負荷)		±1.2 1.0 200		mA kΩ nsec
電源条件 電圧範囲: $+V_{CC} = +V_{DD}$ $-V_{CC} = -V_{DD}$ 電源電流: $+I_{CC}$ $-I_{CC}$	$+V_{CC} = +V_{DD} = +5.0V$ $-V_{CC} = -V_{DD} = -5.0V$	+4.75 -4.75	+5.00 -5.00 5 30	+5.25 -5.25 8 45	V_{DC} V_{DC} mA mA
温度範囲 動作 保存		-25 -55		+85 +125	

注: (1)BCLK、WCLK、DATAの各端子に適用。(2)20BIT、 \overline{INVERT} (3)ダイナミック特性データは7.5kΩ帰還抵抗、5534 I/Vアンプ、GIC3次ポストLPF ($f_c = 48kHz$)で測定。THD +Nデータはシバノク社725C(平均値モード、内蔵400Hz HPF ON、30kHz LPF ON)で測定。

このデータシートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負いませんので、各ユーザの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

絶対最大定格

電源電圧 $+V_{DD}$ 、 $+V_{CC}$	+6.5V
電源電圧差	$\pm 0.1V$
GND電圧差	$\pm 0.1V$
デジタル入力電圧	
(BCLK、WCLK、DATA)	DGND $-0.3V \sim +V_{DD} +0.3V$
(20BIT、INVERT)	$-V_{DD} -0.3V \sim DGND +0.3V$
入力電流(電源を除く)	$\pm 10mA$
消費電力	300mW
動作温度	$-25 \sim +85$
保存温度	$-55 \sim +125$
リード温度(半田付け、5秒間)	+260
パッケージ温度(リフロー、10秒間)	+235

ピン構成

ピン番号	名称	IN/OUT	説明
1	DATA	IN	シリアル・オーディオ・データ入力
2	BCLK	IN	シリアル・オーディオ・データ用ビット・クロック入力
3	NC	—	未接続 ⁽¹⁾
4	$-V_{DD}$	—	デジタル電源、 $-5V$
5	DGND	—	デジタル・グランド
6	$+V_{DD}$	—	デジタル電源、 $+5V$
7	WCLK	IN	データラッチ・イネーブル入力
8	NC	—	未接続 ⁽¹⁾
9	20BIT	IN	入力データワード選択 ⁽²⁾
10	INVERT	IN	入力データ極性(位相)選択 ⁽²⁾
11	$+V_{CC}$	—	アナログ電源 $+5V$
12	BPO DC	—	バイポーラ・オフセット・デカップリング・コンデンサ
13	NC	—	未接続 ⁽¹⁾
14	I_{OUT}	OUT	オーディオ信号のアナログ電流出力
15	AGND	—	アナログ・グランド
16	AGND	—	アナログ・グランド
17	SERVO DC	—	サーボアンプ・デカップリング・コンデンサ
18	NC	—	未接続 ⁽¹⁾
19	REF DC	—	バンドギャップ・リファレンス・デカップリング・コンデンサ
20	$-V_{CC}$	—	アナログ電源 $-5V$

注：(1)未接続(リザーブ)、(2)内部プルアップ有り。入力レベルは $-V_{CC}$ からDGNDまでの電圧でなくてはなりません。

パッケージ情報

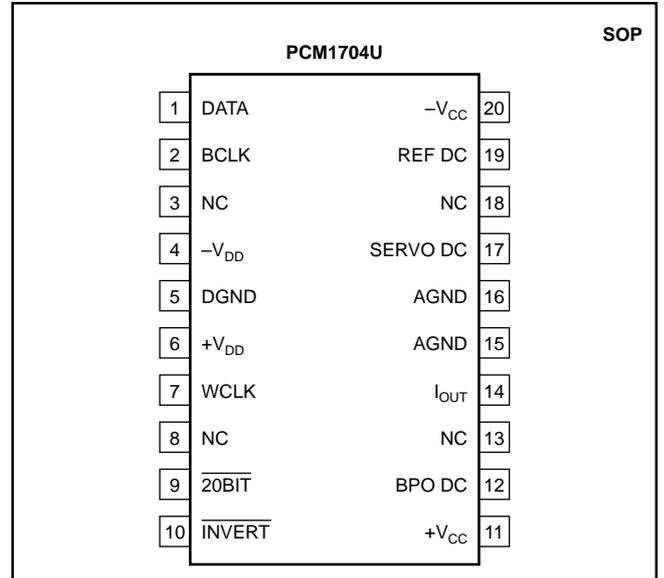
モデル	パッケージ ⁽¹⁾
PCM1704U	20ピンSOP

注：(1)詳細図および寸法表については、データシートの巻末を参照して下さい。

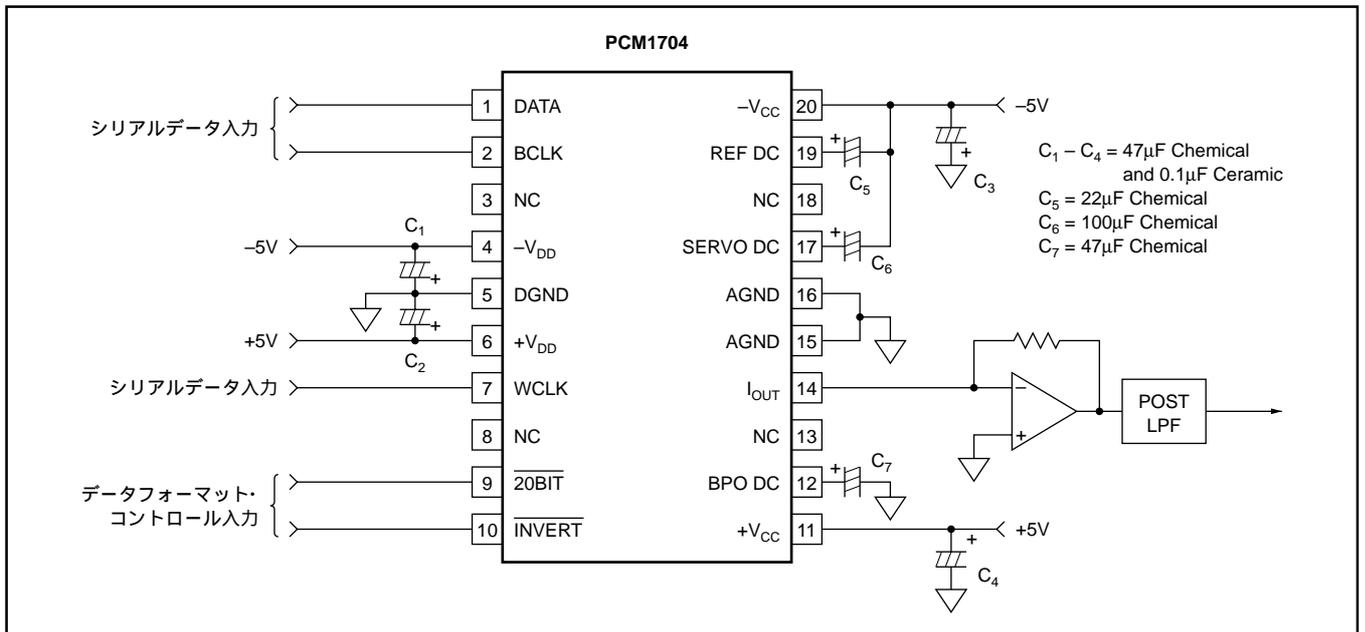
⚡ 静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

ピン配置

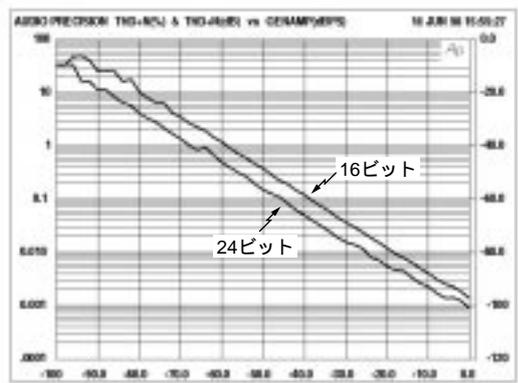


基本接続図

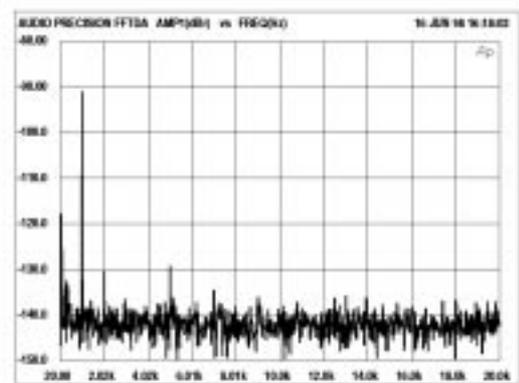


代表的性能曲線

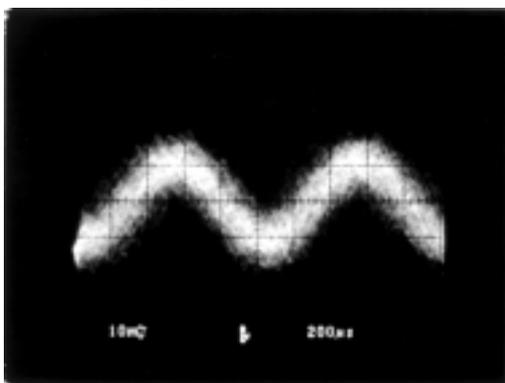
THD + N 対レベル



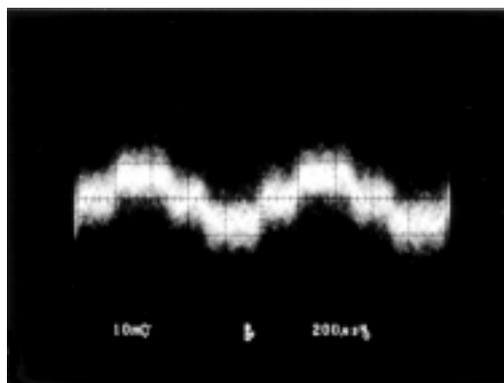
-90dB出力スペクトラム



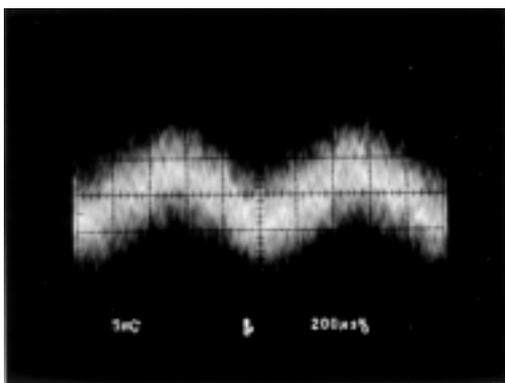
-110dB出力波形 (24ビット・データ)



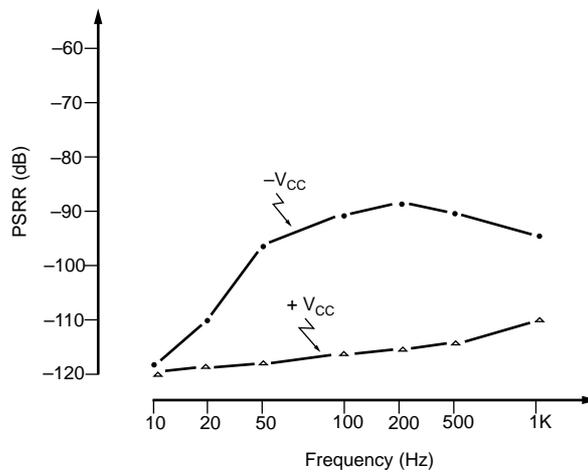
-110dB出力波形 (20ビット・データ)



-120dB出力波形 (24ビット・データ)



PSSR特性



オーディオ・データ・インターフェース

PCM1704は、BCLK、WCLK、DATAの3線シリアルデータを入力することにより外部とインターフェースします。20ビットまたは24ビット・データはBCLKクロックの立ち上がりでPCM1704に取り込まれ、LSBデータの取り込み後にWDCKを立ち下げることにより全データがラッチされます。20ビット・データでは最低20個のBCLKクロック、24ビット・データでは最低24個のBCLKクロックがそれぞれ必要ですが、最大クロック数はBCLKクロックの最大許容周波数(25MHz)で制限されます。実際の変換はWDCK立ち下げ後の2つ目のBCLKクロックの立ち上がりで始ま

ります。WDCKクロックは96kHzの8倍オーバー・サンプリング対応、または、192kHzの4倍オーバー・サンプリング対応すなわち768kHzに対応可能です。図1に入力データ・インターフェース・フォーマットを、図2にタイミング規定の詳細を示します。

データ・フォーマット・コントロール

PCM1704では次に示す2種類のデータ・フォーマット・コントロール機能を有しています。これらの機能の選択ピン(ピン9、ピン10)はDGNDにプルアップされているため、無接続ではH(ハイ)状態となり $-V_{DD}$ に接続するとL(ロー)となりますので、接続の際は注意してください。

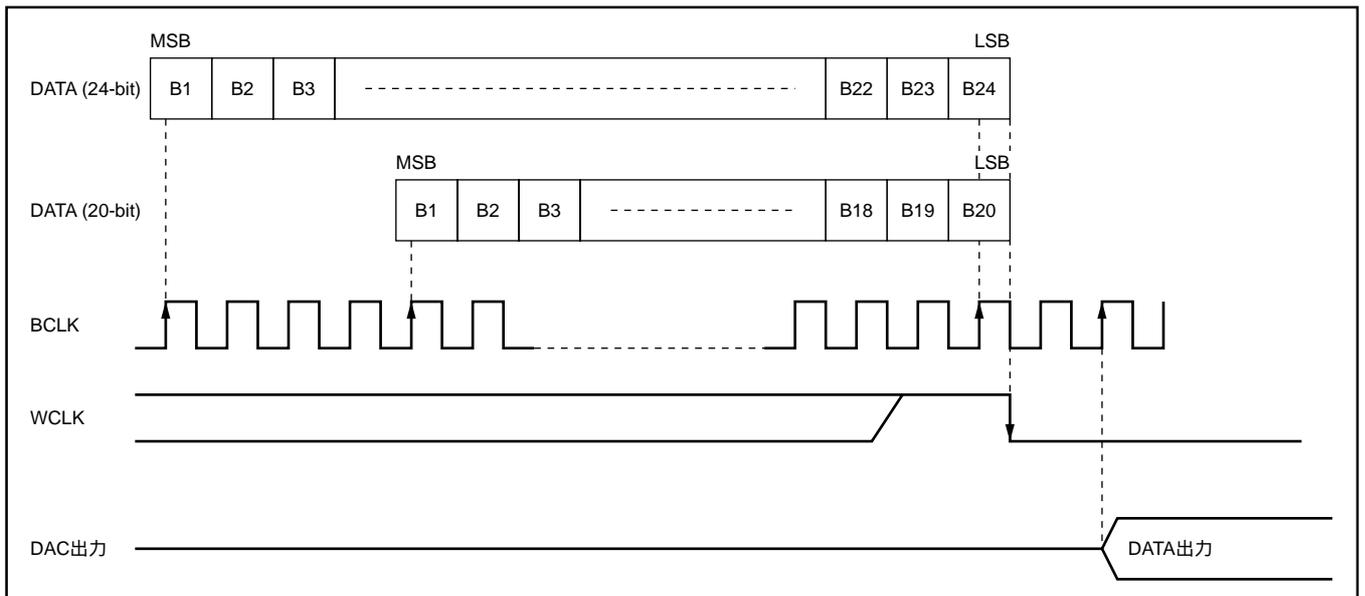


図1. 入力データ・インターフェース・フォーマット

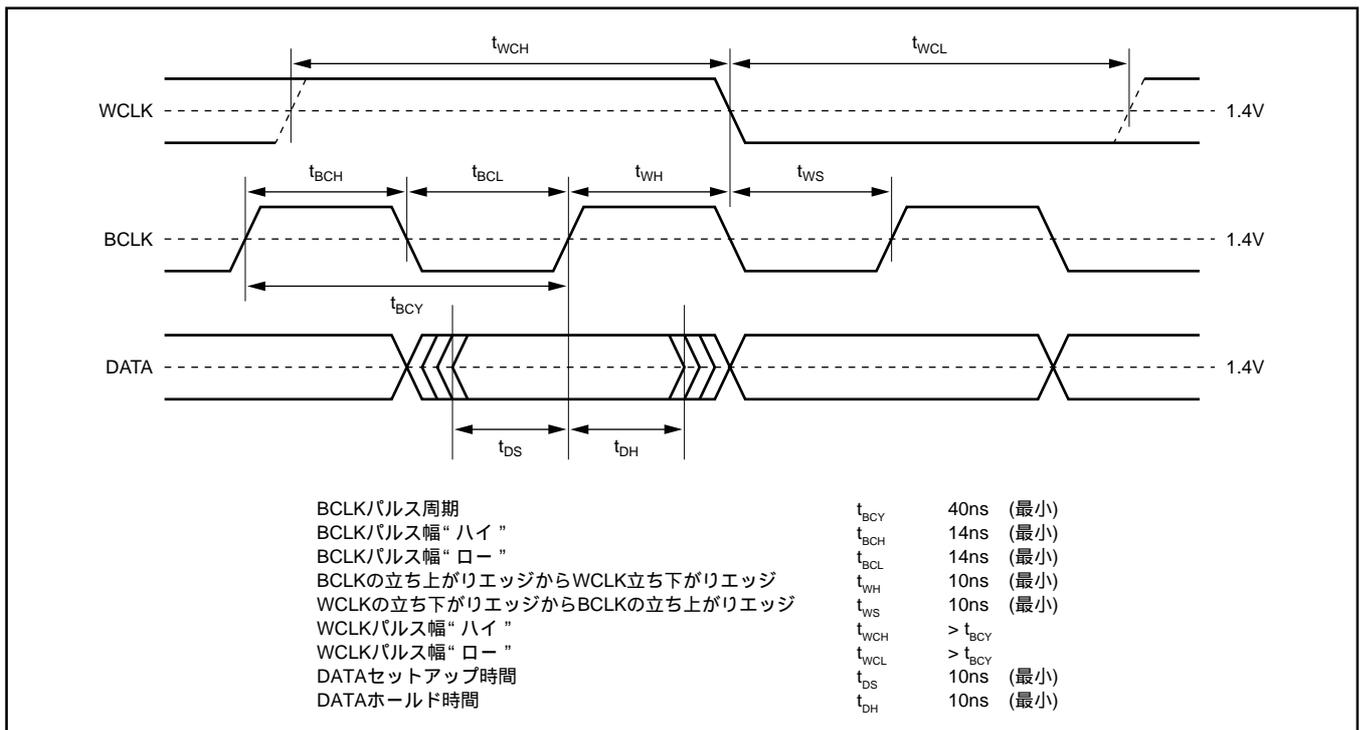


図2. タイミング規定の詳細

入力データ・ワード選択

入力オーディオ・データ・ワードは20ビットと24ビットの選択が可能です、これはピン9(20BIT)で行います。

20BIT = H(DGND)	24ビット・データ・ワード
20BIT = L(-V _{DD})	20ビット・データ・ワード

入力データ極性(位相)選択

入力オーディオ・データの極性(位相)をピン10(INVERT)で選択することができます。

INVERT = H(DGND)	正相
INVERT = L(-V _{DD})	逆相

この機能は、例えば1チャンネルに2個のPCM1704を使用し、各々のPCM1704の出力を差動入力で受ける場合に有効です。

仕様の説明

PCM1704は、24ビット分解能を持つD/Aコンバータで、高次のオーバーサンプリング対応が可能です。D/Aコンバータの伝達特性は図3に示す伝達特性で示され、デジタル入力コードとD/Aコンバータの出力との関係は表に示されています。

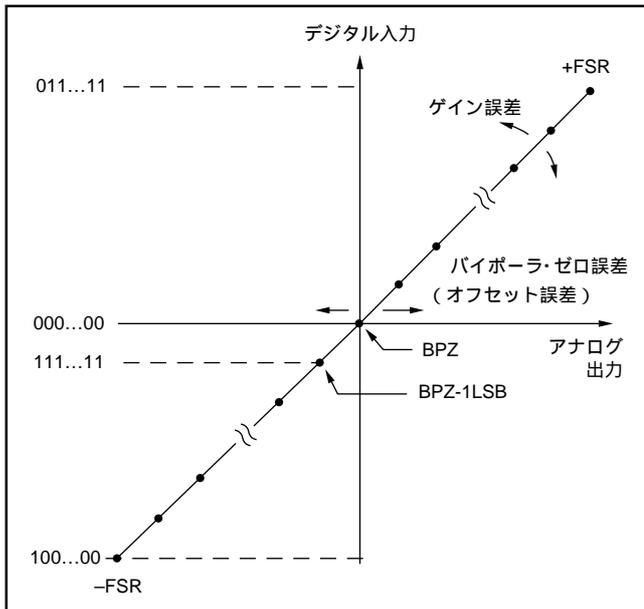


図3. DACの入出力特性

デジタル入力コード

PCM1704はバイナリ2の補数(BTC)のシリアル入力データ(MSBファースト)に対応しています。デジタル入力とアナログ出力の関係は表を参照してください。ここでは24ビット・データを24ビットのHex Codeで表わしています。また、アナログ出力は1/V変換後のもので、電流出力ダイレクトではまったく正反対の極性となります。

デジタル入力	アナログ出力(電圧)
7FFFFFFF (Hex)	+FSR
000000 (Hex)	BPZ
FFFFFF (Hex)	BPZ -1LSB
800000 (Hex)	-FSR

表 . デジタル入力コードとアナログ出力

ゲイン誤差

PCM1704の出力は、電流出力で±1.2mA(スパン幅2.4mA)となっています。この出力振幅に対する実際の出力振幅との差はゲイン誤差で定義され、フルスケール(2.4mA)に対するパーセントで規定されています。このゲイン誤差は標準±1%以内となっています。

バイポーラ・ゼロ誤差

フルスケール・スパンの1/2レベルはMSBのみONとなり、この時の出力はバイポーラ・ゼロ出力となり、理想値はゼロですが、実際はわずかな誤差を生じます。この誤差はバイポーラ・ゼロ誤差で定義され、PCM1704では標準±0.5% of FSRとなっています。

全高調波歪およびTHD +N

THDはオーディオ・アプリケーションに有効で、直線性誤差の大きさと分布、微分直線性誤差および雑音、さらに量子化誤差の割合です。有効にするためには、THDは高レベルと低レベルの両入力信号に対して規定されなければなりません。この誤差は調整不可能で、オーディオ・アプリケーション用D/Aコンバータの精度を最も的確に表現しています。

THDは高調波の自乗の和の平方根と入力の基本波周波数の値の比として定義され、パーセントがdBで表されます。入力換算のPCM1704の誤差のrms値は次式で表わされます。

$$\epsilon_{rms} = \sqrt{1/n \sum_{i=1}^n [E_L(i) + E_Q(i)]^2}$$

ここで、“n”はあるサイン波の1サイクル内のサンプル数で、 $E_L(i)$ は、各サンプリング点におけるPCM1704の直線性誤差、 $E_Q(i)$ は各サンプリング点における量子化誤差です。よって、THDは次のように表されます。

$$THD = \epsilon_{rms} / E_{rms}$$

$$= \frac{\sqrt{1/n \sum_{i=1}^n [E_L(i) + E_Q(i)]^2}}{E_{rms}} \times 100\%$$

ここで、 E_{rms} は信号電圧レベルのrmsです。

この表現は、一般的にTHDと各デジタル・ワードにおける直線性誤差の自乗の和の平方根の間に相関があることを示しています。しかしこの表現は、D/Aの最悪の直線性誤差がTHDに直接関係するという意味ではありません。

THD +N特性は前述のDACで発生する全高調波歪に雑音を加味したものになります。ここで、THD +N特性の“+N”成分と量子化雑音 E_Q は帯域幅との関数になるため、測定帯域によって変化することに注意して下さい。

PCM1704のTHD +N特性においては、データ変換レートを768kHz ($f_s = 96\text{kHz}$ の8倍オーバー・サンプリング相当)とし、実際のアプリケーションに合わせた条件での規定をしており、測定帯域は $f_c = 48\text{kHz}$ 、3次の外部ポスト・ローパスフィルタおよび測定器内蔵の30kHzローパスフィルタで制限されています。

また、PCM1704のTHD +N特性は理想24ビット・データ入力条件で規定されています。実アプリケーションにおいて、例えば、CDプレーヤ等のデジタル・データは16ビットですから、デジタルフィルタを用いて16ビットから生成された24ビット・データは24ビット精度を有していないため、規定のTHD +N値よりも悪くなります。

ダイナミック・レンジとS/N比

PCM1704におけるダイナミック・レンジの定義と測定法は、EIAJにおけるCDプレーヤ測定法に準拠しています。すなわち、出力信号レベル-60dBにおけるTHD +N値をAウェイト・フィルタを用いて測定し、この時のTHD +N値(-)D(dB)からダイナミック・レンジ = D +60(dB)として規定しています。S/N比も同様にEIAJにおけるCDプレーヤ測定法に準拠した形で測定、規定されています。すなわちフルスケール信号レベルと無信号時のノイズレベルをAウェイト・フィルタを用いて測定し、両出力比をdBで表わしています。

レベル・リニアリティ

これはデジタル入力レベルとアナログ出力レベル間の直線性(リニアリティ)を意味し、MSB誤差等特定ビットの微分直線性誤差が大きいと特定のレベルでリニアリティが悪化します。この影響は、特に-60dB以下の微小出力領域で顕著です。PCM1704はサイン・マグニチュード方式の採用により、原理的にレベル・リニアリティ誤差は非常に小さく、-90dB出力時で標準±0.5dBです。

ドリフト

周囲温度の変化によりD/Aコンバータは伝達特性の温度ドリフトを生じます。PCM1704は、高安定性リファレンスおよびサーボ回路と高安定薄膜抵抗技術等により、バイポーラ・ゼロ点の温度ドリフトは標準¹あたりフルスケールの±5ppmに、バイポーラ・ゼロ点を含むゲイン・ドリフトは標準¹あたりフルスケールの±25ppmに抑えられており、実使用上特に問題ないレベルとなっています。

セトリングタイム

D/Aコンバータの入力コードを変化させた時に、所定の出力レベルの所定の誤差帯域幅内にD/Aコンバータの出力レベルが収束するまでの時間をセトリングタイムで定義し、PCM1704の場合は、1.2mAのステップ変化に対し、フルスケールの±0.003%内に収束するまでのセトリングタイムは標準200nsecと高速です。実使用においてはI/V変換オペアンプのセトリング特性が重要で、768kHzのデータレート(時間で約1.3μs)に追従するには1μs以下のセトリングタイムを有するオペアンプの使用が望まれます。

出力短絡保護

PCM1704のI_{OUT}端子はコモンに対する短絡については無損傷で保護されています。

電源条件

PCM1704は、+側および-側の電源端子をそれぞれ2端子(+V_{CC}、+V_{DD}および-V_{CC}、-V_{DD})設けてありますが、これら2端子は+側、-側それぞれ共通接続で使用してください。すべての電

氣的特性は+V_{CC} = +V_{DD} = +5.0V、-V_{CC} = -V_{DD} = -5.0Vにおけるものですが、電源電圧範囲内における電源電圧において、特性が大きく変化することはありません。

使用法と動作に関する説明

PCM1704におけるサイン・マグニチュード変換方式

表紙にPCM1704の基本ブロック図を示します。サイン・マグニチュード方式の応用として、MSBコードでひとつのDACの出力極性を切り換えるのではなく、ふたつのDACを用いて、それぞれのDAC出力を直接電流加算しています。また、DAC - AおよびBへの入力コードは、サイン・コード変換回路でコード変換され、両DACを動作させます。図4に両DACの伝達特性を、表にデジタル入力に対する両DACの入力コードを示します(理解しやすくするため、ストレート・バイナリで表現しています。)

通常、2DACの場合、BPZ点を中心に、出力レベルが増すごとに両DACの出力が増す動作を考えますが、PCM1704ではDAC - AはBPZ点より正側に出力が増すのに応じて出力が増し、DAC - BはBPZ点で出力がフルスケールで、負側に出力が増すごとに応じて出力が減少します。すなわち、-FSR点では、両DACともにゼロ出力であり、-FSR点からBPZ点まではDAC - Bのみ動作します。BPZ - 1LSB点でDAC - Bはフルスケール出力となり、BPZ点への変化では+1LSBセグメントがONになります。BPZ点から正側への変化ではDAC - Aのみ出力が変化し、+FSR点で両DACともフルスケール出力(DAC - Bの+1LSBもON)となります。ここで、BPZ点を中心とした正弦波再生における動作例を図5に示します。従来方式でBPZ点を中心にMSBセグメントがON/OFFしていたのに比べ、PCM1704では下位ビットのみの変化で動作しています。このことは、BPZ点を中心とする信号に対して、誤差の影響を受けにくい下位ビットのみの動作を行うので(例えば16ビットにおけるLSBの誤差が1%であったとしても、0.01LSBすなわちフルスケールに対して0.15ppm)、これら下位ビットの誤差は無視でき、原理的にゼロクロス歪みを発生しません。

デジタル入力	DAC B入力	DAC A入力
+FSR	111...111 +1LSB	111...111
+FSR -1LSB	111...111 +1LSB	111...110
BPZ +1LSB	111...111 +1LSB	000...001
BPZ	111...111 +1LSB	000...000
BPZ -1LSB	111...111	000...000
-FSR +1LSB	000...001	000...000
-FSR	000...000	000...000

表 . デジタル入力とDAC動作

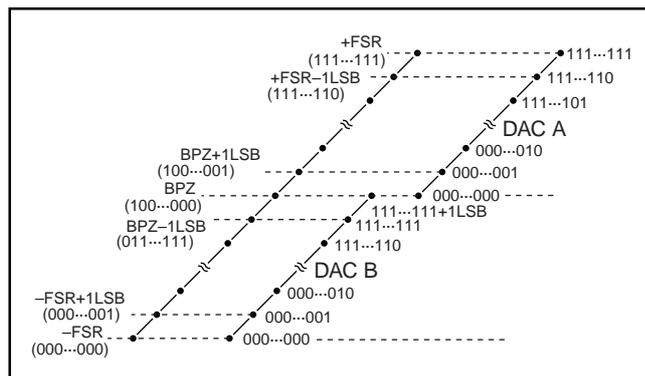


図4. 内蔵2DACの伝達特性

電源接続とバイパス・コンデンサ

図6にPCM1704における各セクションと電源($\pm V_{CC}$ および $\pm V_{DD}$)、グランド(AGNDおよびDGND)、各フィルタ・コンデンサ端子の簡略化した接続ブロック図を示します。図6においてDACメイン部でその性能がほとんど決まりますが、このDACメイン部はゼロ電位(AGND、DGND)と-側電源($-V_{CC}$ 、 $-V_{DD}$)電圧間で動作していることが分かります。23ビットのカレントセグメントはアナログ系電源($-V_{CC}$ 、AGND)で動作していますが、このカレントセグメントをON/OFFするセグメント・スイッチはデジタル系($-V_{DD}$ 、DGND)で動作しており、いずれにしるクリーンな電源条件が求められます。

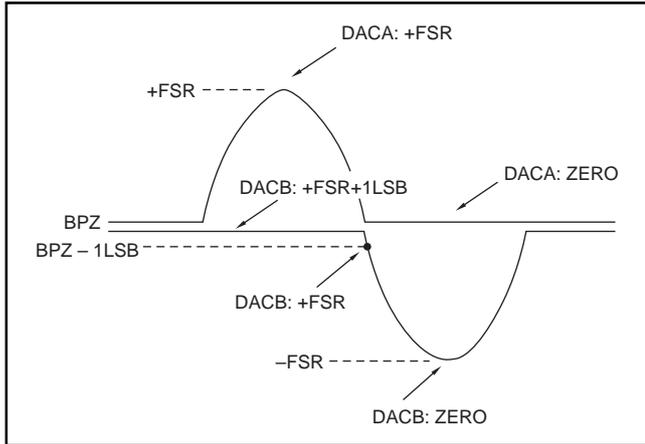


図5. 正弦波再生における2DACの動作

デジタル/アナログの端子名称と関係なく、PCM1704の各電源($\pm V_{CC}$ 、 $\pm V_{DD}$)とグランド(AGND、DGND)は共通接続で使用して下さい(図6に各電源ピンの標準電源電流値を示しています)。また、各電源端子とグランド間にはできる限り再短距離でバイパス・コンデンサを接続しなければなりません。性能と雑音除去を最適化するため、このバイパス・コンデンサは大変重要で、オーディオ用の高品質コンデンサの使用をおすすめします。

PCM1704のサーボ、リファレンス、バイポーラ・オフセットの各端子もICピンにできる限り再短距離でデカップリング・コンデンサを接続します。サーボ・フィルタ(ピン17)は内部リファレンスで発生したリファレンス電圧をより安定化させるサーボ回路の入力フィルタ端子で、 $-V_{CC}$ 間に100 μ 前後のコンデンサを接続します。リファレンス・フィルタ(ピン19)も同様にリファレンス電圧のノイズ・デカップリングのため $-V_{CC}$ 間に22 μ 前後のコンデンサを接続します。

バイポーラ・ゼロ・フィルタ(ピン12)は、DAC出力に1.2mAのオフセット電流を加え、バイポーラ・オペレーションを行っているリファレンス回路の一部で、47 μ 前後のコンデンサをグランド間に接続します。これらフィルタ・コンデンサは実装条件により多少最適値が異なることも考えられますので、実装で最適値を確認してください。

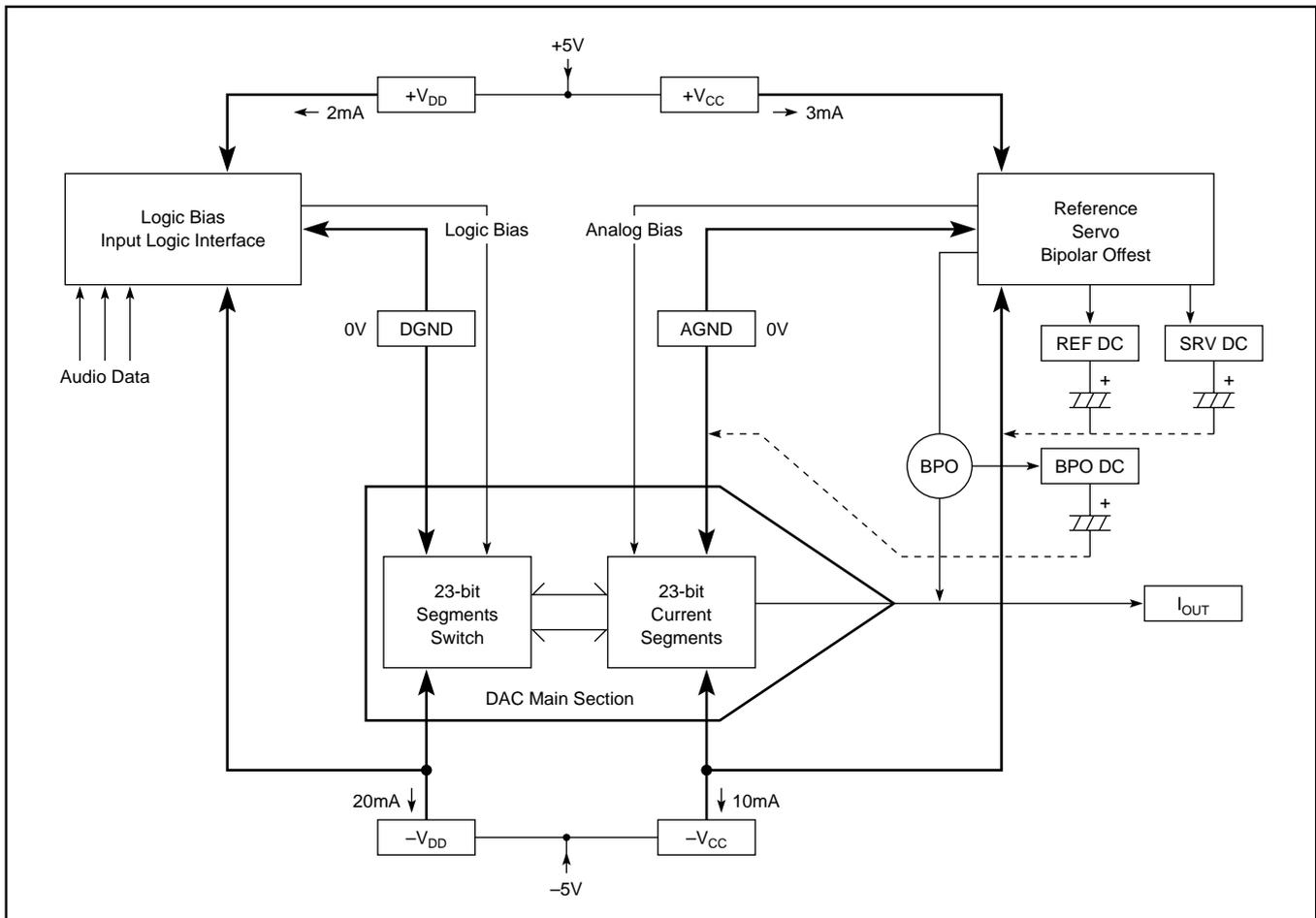


図6. 電源、フィルタコンデンサの接続ブロック図

I/V変換回路

PCM1704出力は電流出力なので外部オペアンプにてI/V変換します。この際、PCM1704の I_{OUT} (ピン14)とI/V変換オペアンプ入力との配線は外来誘導やノイズの影響を避けるため、最短距離で接続するようにします。またI/V変換用オペアンプはPCM1704の特性を最大限引き出すために、その選択について十分考慮しなくてはなりません。重要なパラメータは雑音、スルーレート、セトリングタイム、ゲイン帯域幅等となります。特に雑音については、120dBレベルのS/N比を得るためのオペアンプ・ノイズは極力小さいものがが必要です。図7にI/V変換における雑音モデルを示します。

パターンレイアウト

PCM1704の性能を十分引き出すためには、パターンレイアウトにも十分注意を払ってください。PCM1704のアナログ・コモン(ピン15、16)およびデジタル・コモン(ピン5)はなるべく広いベタ

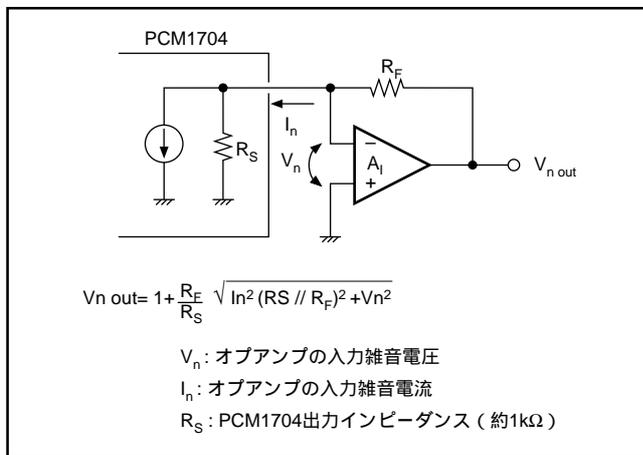


図7. I/V変換雑音モデル

アースでICの真下でグラウンドに接続します。IC周辺はアナログのベタアースとし、アナログ・リターンとします。また、デジタル系へのリターン路を設けた方がノイズ的に有利な場合もあります。デジタル入力の3つのライン(BCLK、DATA、WCLK)はアナログ系への干渉を避けるようにレイアウトし、周辺への飛びつきを防いでください。

デジタルフィルタとのインターフェース

実アプリケーションでは、PCM1704はオーバー・サンプリング・デジタルフィルタとの組み合わせとなり、インターフェースするデジタルフィルタは20ビット/24ビット・データを出力するモデルを選択しなければなりません。パー・ブラウンではPCM1704との組み合わせ用にDF1704を用意しています。この場合、96kHzサンプリング、24ビットの高性能フォーマットに対応可能です。また、NPC社SM5847との組み合わせでは192kHz 4倍オーバー・サンプリングに対応可能で、DVD-Aのフォーマットでの高性能D/A変換が可能です。

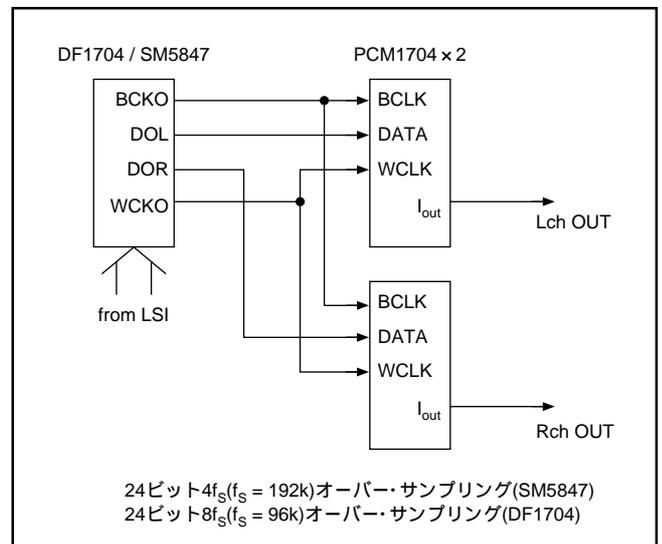
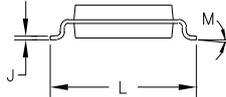
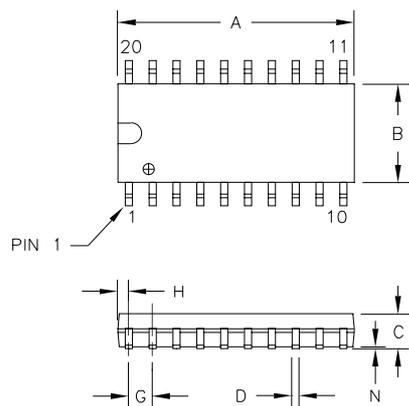


図8. デジタルフィルタとのインターフェース例

外観

Uパッケージ : 20ピン・プラスチックSOP



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.494	.498	12.55	12.65
B	.206	.210	5.23	5.33
C	.071	.077	1.80	1.96
D	.013	.017	0.33	0.43
G	.050 BASIC		1.27 BASIC	
H	.021	.025	0.53	0.64
J	.0076	.0082	0.19	0.21
L	.303	.311	7.70	7.90
M	3°	5°	3°	5°
N	.002	.006	0.05	0.15