



ステレオ、24ビット、192kHz 8倍オーバー・サンプリング・デジタル補間フィルタ

特長

- PCM1704(24ビット・オーディオDAC)との組み合わせに最適
- 高性能フィルタ:
阻止帯域減衰量: -115dB
通過帯域リップル: ± 0.00005 dB
- オーディオ・インターフェース:
入力データ・フォーマット: スタンダード、前詰め、I²S
入力ワード長: 16/20/24ビット
出力ワード長: 16/18/20/24ビット
サンプリング・レート: 32kHz ~ 192kHz

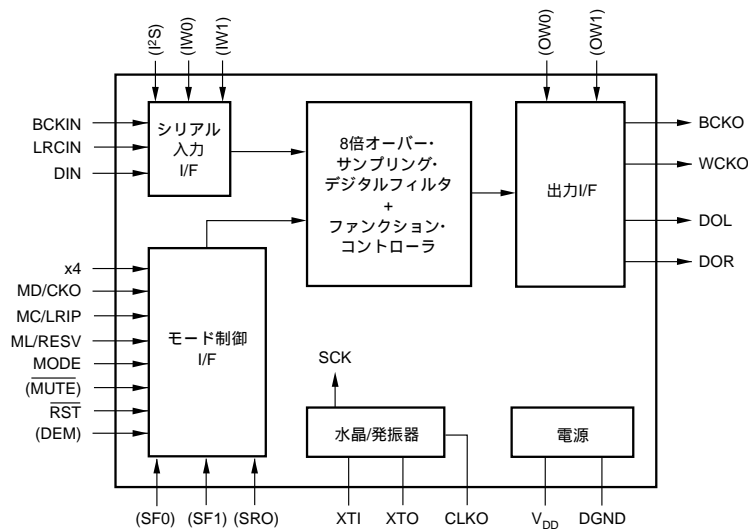
- システムクロック: 128f_s、192f_s、256f_s、384f_s、512f_s、768f_s
- オンチップ水晶発振器
- プログラマブルファンクション:
ハードウェアまたはソフトウェア制御モード
シャープまたはスロー・ロールオフ
フィルタ特性
ソフトミュート
デジタル・ディエンファシス
独立のL/Rデジタル減衰
- シングル電源動作: +3.3V
- パッケージ: SSOP-28

概要

DF1706は、家電製品およびプロフェッショナル用ハイエンド・オーディオ・アプリケーション向けに設計された高性能なステレオ8倍オーバー・サンプリング・デジタル補間フィルタです。DF1706は、24ビット、192kHz動作をサポートし、ユーザがプログラム可能な各種の機能を選択可

能なフィルタ特性、ディエンファシス、減衰、入出力データ・フォーマットなどを備えています。

DF1706は、テキサス・インスツルメンツの24ビットオーディオD/AコンバータPCM1704と組み合わせて使用することを推奨いたします。この組み合わせにより、超高性能オーディオ・システムとコンポーネントの構築が可能です。



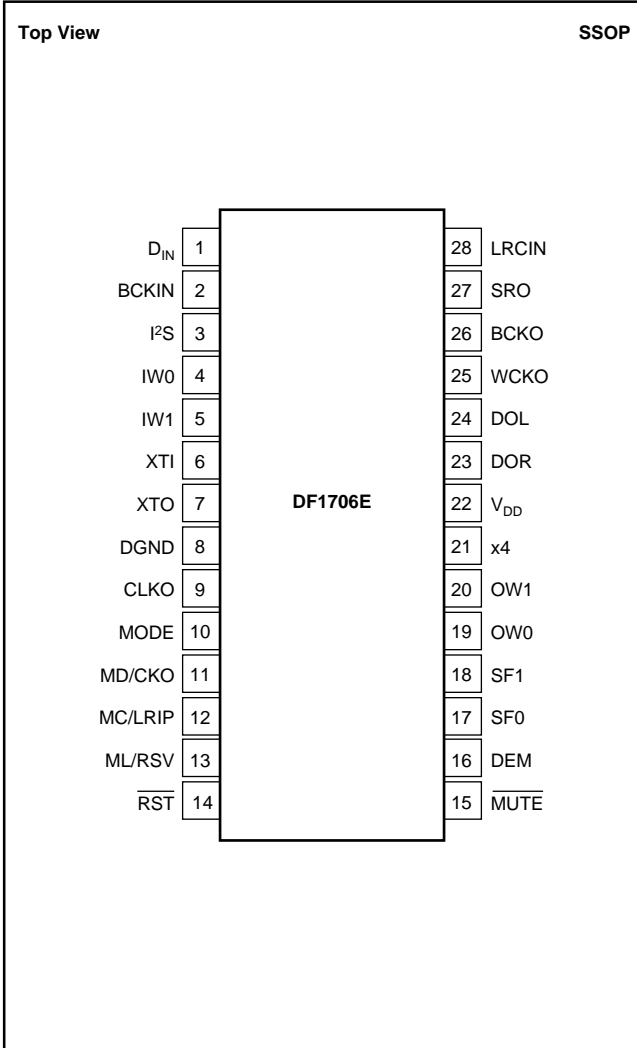
仕様

特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = 3.3V$ 、 $f_s = 44.1kHz$ 、システムクロック = $256f_s/384f_s$ 、16ビット・データにおけるものです。

パラメータ	条件	DF1706E			単位
		最小	標準	最大	
分解能		24			Bits
入力データ・フォーマット オーディオデータ・インターフェース・フォーマット オーディオデータ・ビット長 オーディオデータ・フォーマット サンプリング・レート システムクロック周波数 ⁽¹⁾	f_s	スタンダード、前詰め、I ² S 16/20/24ビット選択可 MSBファースト、バイナリ2'sコンプリ 32 192 128/192/256/384/512/768			kHz f_s
出力データ・フォーマット オーディオデータ・インターフェース・フォーマット オーディオデータ・ビット長 オーディオデータ・フォーマットi		後詰め 16/20/24ビット選択可 MSBファースト、バイナリ2'sコンプリ			
デジタル入出力 入力ロジック・レベル： V_{IH} V_{IL} 出力ロジック・レベル： V_{OH} V_{OL}	$I_{OH} = 2mA$ $I_{OL} = 4mA$	0.7V _{DD} 2.4	CMOSコンパチブル	0.3V _{DD} 1.0	V V V V
CLKO AC特性 ⁽²⁾ 立ち上がり時間 立ち下がり時間 デューティ・サイクル ⁽²⁾	t_R t_F	20% ~ 80% V _{DD} , 20pF 80% ~ 20% V _{DD} , 20pF 20pF負荷	4 3 50		ns ns %
デジタルフィルタ特性 フィルタ特性1(シャープ・ロールオフ) 通過帯域 阻止帯域 通過帯域リップル 阻止帯域減衰量 フィルタ特性2(スロー・ロールオフ) 通過帯域リップル 阻止帯域 通過帯域リップル 阻止帯域減衰量 遅延時間 ディエンファシス誤差		$\pm 0.00005dB$ -3dB 0.546 阻止帯域 = $0.546f_s$ -115 $\pm 0.0001dB$ -3dB 0.732 阻止帯域 = $0.748f_s$ -100 45.125/ f_s		0.454 0.493 ± 0.00005 0.254 0.460 ± 0.0001 ± 0.004	f_s f_s f_s dB dB f_s f_s f_s dB dB dB dB dB dB sec dB
電源条件 電圧範囲 電源電流 消費電力	I_{DD}	V _{DD} V _{DD} = 3.3V V _{DD} = 3.3V	3.0 3.3 30 99	3.6 45 149	VDC mA mW
温度範囲 動作 保存 熱抵抗 θ_{JA}			-25 -55 100	+85 +125	

注：(1) 表 を参照。(2) 水晶共振子を使用。

ピン配置



ピン構成

ピン	名称	I/O	説明
1	D _{IN}	IN	シリアル・オーディオ・データ入力 ⁽¹⁾
2	BCKIN	IN	シリアル・オーディオ・データのビット・クロック入力 ⁽¹⁾
3	I ² S	IN	入力オーディオ・データ・フォーマット選択 ^(2, 4)
4	IW0	IN	入力オーディオ・データ・ワード選択 ^(2, 4)
5	IW1	IN	入力オーディオ・データ・ワード選択 ^(2, 4)
6	XTI	IN	発振器入力/外部クロック入力
7	XTO	OUT	発振器出力
8	DGND	-	デジタル・グランド
9	CLKO	OUT	バッファされたシステムクロック出力
10	MODE	IN	モード制御選択("ハイ": ソフトウェア・モード, "ロー": ハードウェア・モード) ⁽³⁾
11	MD/CKO	IN	モード制御、データ/ハーフ外部クロック周波数選択 ^(3, 5)
12	MC/LRIP	IN	モード制御、クロック/LRCIN極性選択 ^(3, 5)
13	ML/RSV	IN	モード制御、ラッチ・クロック/未使用 ^(3, 5)
14	RST	IN	モード制御、アクティブ "ロー"。このピンが "ロー" のとき、DFと変調器はリセット状態に保持される ⁽³⁾ 。
15	MUTE	IN	ミュート制御、アクティブ "ロー" ⁽⁴⁾
16	DEM	IN	ディエンファシス制御 ^(2, 4)
17	SF0	IN	ディエンファシスのサンプリング・レート選択 ^(2, 4)
18	SF1	IN	ディエンファシスのサンプリング・レート選択 ^(2, 4)
19	OW0	IN	出力オーディオ・データ・ワード選択 ^(2, 4)
20	OW1	IN	出力オーディオ・データ・ワード選択 ^(2, 4)
21	x4	IN	オーバー・サンプリング・レシオ制御。このピンが "ハイ" のとき、レシオは4倍になる。
22	V _{DD}	-	デジタル電源、+3.3V
23	DOR	OUT	Rチャンネル、シリアル・オーディオ・データ出力
24	DOL	OUT	Lチャンネル、シリアル・オーディオ・データ出力
25	WCKO	OUT	シリアル・オーディオ・データ出力のワード・クロック出力
26	BCKO	OUT	シリアル・オーディオ・データ出力のビット・クロック出力
27	SRO	IN	フィルタ特性選択 ^(2, 4)
28	LRCIN	IN	L/Rクロック入力(f _s) ⁽¹⁾

注:(1)ピン1、2、28は、プルアップおよびプルダウン抵抗がないシュミット・トリガ入力です。(2)ピン3から5、16から21、27は、プルアップおよびプルダウン抵抗がないシュミット・トリガ入力です。(3)ピン10から15は、プルアップおよびプルダウン抵抗がないシュミット・トリガ入力です。(4)ピン3から5、15から20、27は、MODE(ピン10)が "ハイ" のとき無効です。(5)ピン11から13の機能は、MODE(ピン10)の状態("ハイ"/"ロー")に応じて変化します。

絶対最大定格

電源電圧	+4.0V
デジタル入力電圧	-0.3V ~ +(V _{DD} + 0.3V)
入力電流(電源を除くすべてのピン)	±10mA
動作周囲温度(バイアス有り)	-40 ~ +125
保存温度	-55 ~ +150
接合部温度	+150
リード温度(5秒間の半田付け)	+260
パッケージ温度(IRリフロー、ピーク、10秒間)	+235



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様と適合しなくなる場合があります。

パッケージ情報/ご発注の手引き

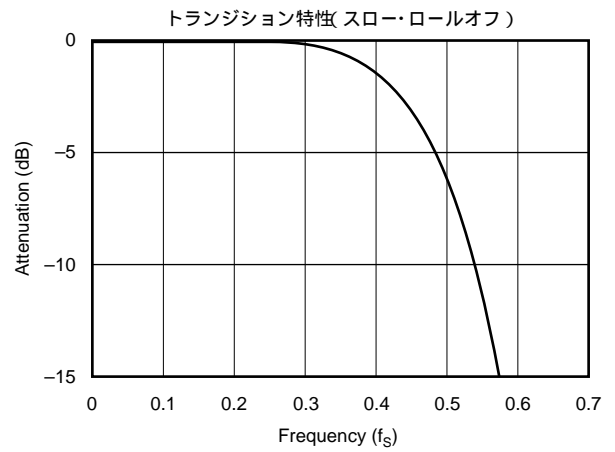
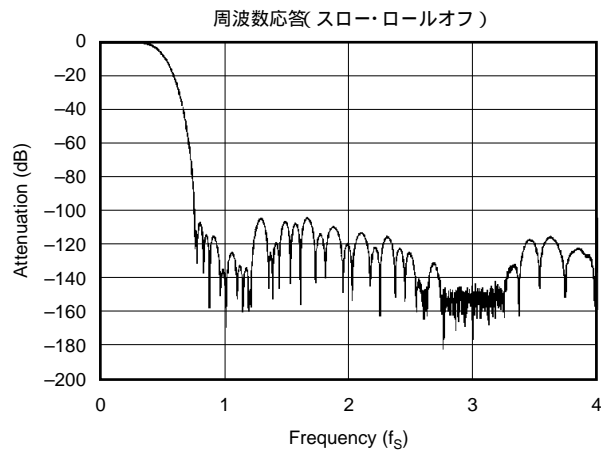
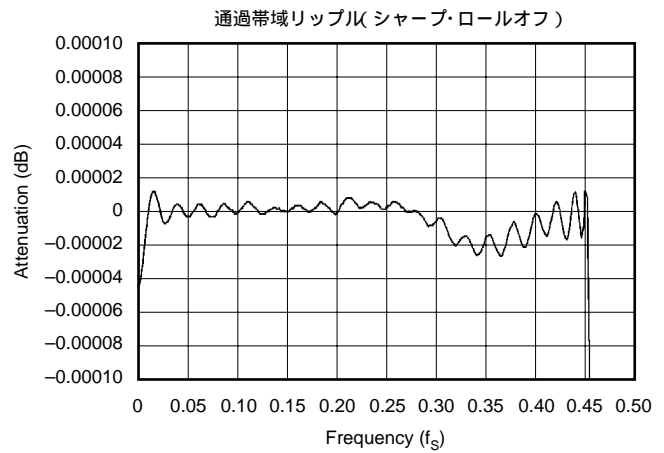
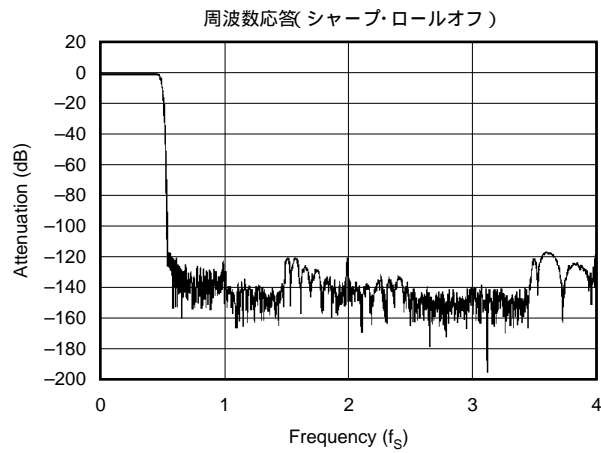
モデル	パッケージ	パッケージ図番号	仕様温度範囲	パッケージのマーキング	発注番号 ⁽¹⁾	供給時の状態
DF1706E	SSOP-28	324	- 25 ~ +85	DF1706E	DF1706E	マガジン
DF1706E	SSOP-28	324	- 25 ~ +85	DF1706E	DF1706E/2K	テーブリール

注:(1)スラッシュ(/)のついたモデルは、その後に示される数量を単位として、テーブリールでのみ供給されます(例えば、/2Kは2,000個で1リールであることを示します)。「DF1706E/2K」をご発注の場合、2,000個入りのテーブリールが1本納入されます。

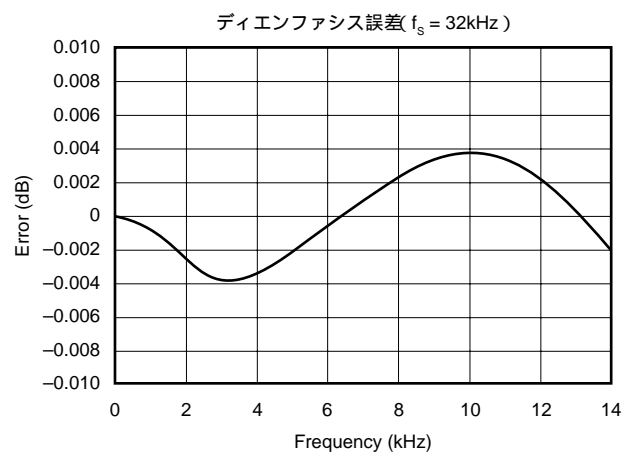
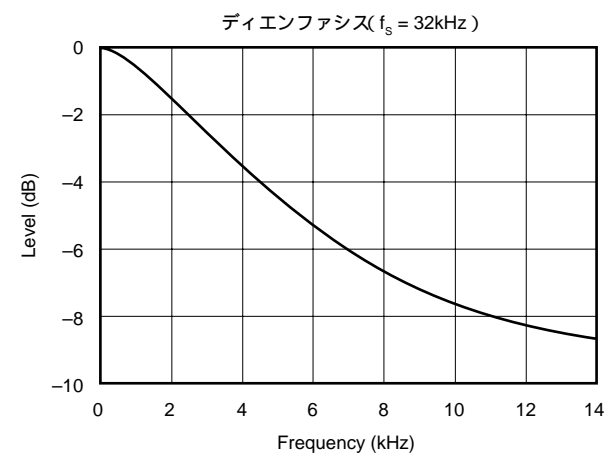
代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = \pm 3.3V$ 、 $f_s = 44.1kHz$ 、システムクロック = $256f_s/384$ 、16ビット・データ入力におけるものです。

デジタルフィルタ(ディエンファシスOFF、 $f_s = 44.1kHz$)

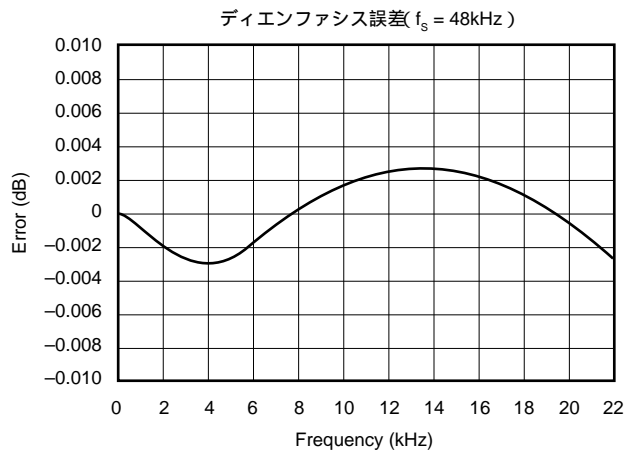
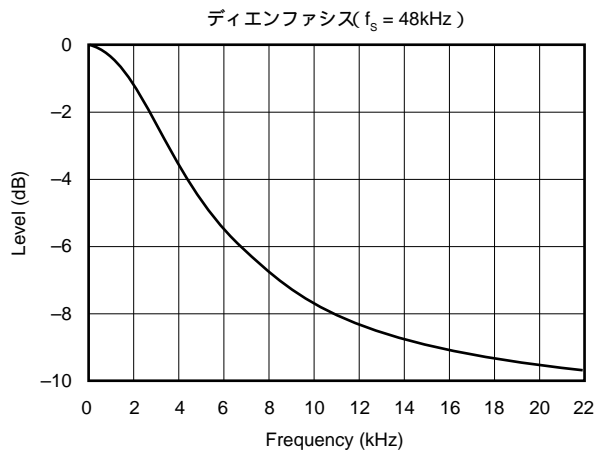
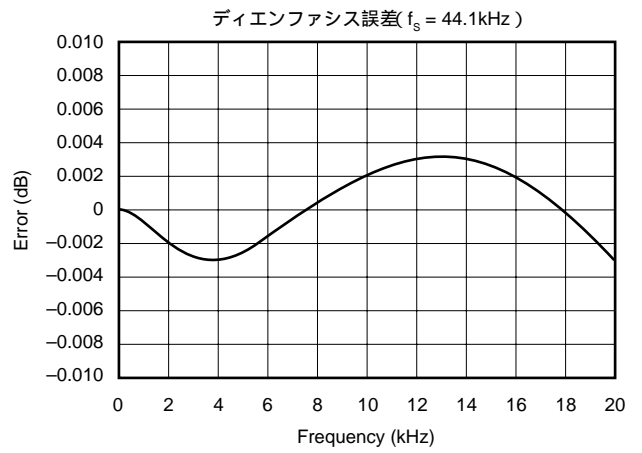
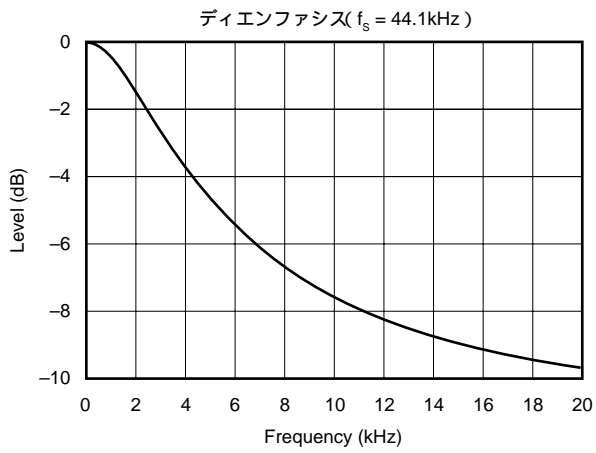


ディエンファシスおよびディエンファシス誤差



代表的性能曲線

特に記述のない限り、 $T_A = +25$ 、 $V_{DD} = \pm 3.3V$ 、 $f_s = 44.1kHz$ 、システムクロック = $256f_s/384f_s$ 、16ビット・データ入力におけるものです。



システムクロックの必要条件

DF1706のシステムクロックには、XTI(ピン6)の外部クロック信号またはオンチップの水晶発振器のどちらも使用できます。システムクロック周波数は、 $128f_s$ 、 $192f_s$ 、 $256f_s$ 、 $384f_s$ 、 $512f_s$ 、または $768f_s$ で動作する必要があります(f_s はオーディオ・サンプリング・レート)。DF1706に $128f_s$ または $192f_s$ のシステムクロックを供給する場合、DF1706のデジタルフィルタのオーバー・サンプリング・レシオ(OSR)は、8倍ではなく4倍にします。OSRは、x4ピン(ピン21)によりハードウェア・モードで、またはMODE2レジスタのx4ビットによりソフトウェア・モードで選択できます。

48kHzより高い f_s では $768f_s$ のシステムクロックを使用できないことに注意する必要があります。96kHzより高い f_s では、 $128f_s$ お

よび $192f_s$ のシステムクロックを使用できます。また、オンチップの水晶発振器は、24.0MHzの最大周波数に制限されます。表に、選択したサンプリング・レートに対応する標準的なシステムクロック周波数を示します。

DF1706は、使用しているシステムクロックの周波数を識別するシステムクロック検出回路を備えています。回路は、システムクロック入力(XTI)とLRCIN入力の周波数を比較してシステムクロックの倍率を決定します。正しい同期をとるためには、LRCINとBCKINにシステムクロック入力を使用するのが理想的です。システムクロックとLRCINの位相差が ± 4 ビット・クロック(BCKIN)周期を超えると、DF1706が自動的にシステムクロックとLRCINクロックの同期を実行します。

システムクロック入力のタイミングの必要条件を図1に示します。

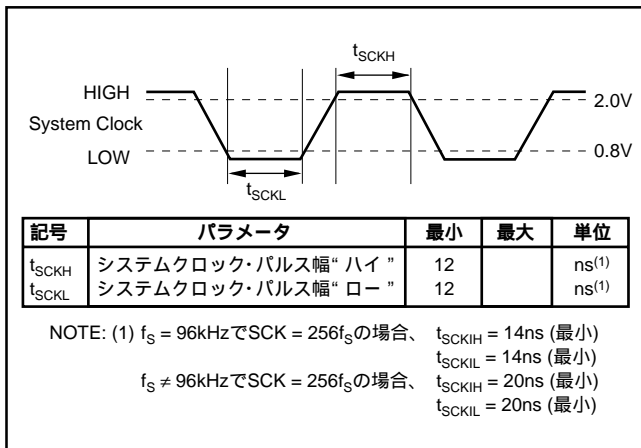


図1. システムクロックのタイミング

リセット

DF1706は、内部パワーオン・リセット回路と、外部リセット信号を入力するリセット・ピンRST(ピン14)の両方を備えています。内部パワーオン・リセットは、DF1706に電源が供給されたときに自動的に実行されます(図2参照)。RSTピンを使用して、DF1706をシステム・リセット信号と同期できます(図3参照)。

パワーオン・リセット期間(1024システムクロック)中、BCKO、DOL、DORの出力が "ロー" に、WCKOの出力が "ハイ" に固定されます。外部リセットでは、RSTピンを "ロー" から "ハイ" にした後に実行される初期化期間(1024システムクロック)中、BCKO、DOL、DORの出力が "ロー" に、WCKOの出力が "ハイ" に固定されます(図3参照)。

サンプリング・レート周波数($f_s \geq 256f_s$)	システムクロック周波数 (MHz)					
	$128f_s$	$192f_s$	$256f_s$	$384f_s$	$512f_s$	$768f_s$
32kHz	N/A	N/A	8.192	12.288	16.384	24.576 ⁽¹⁾
44.1kHz	N/A	N/A	11.2896	16.934	22.5792	33.8688 ⁽¹⁾
48kHz	N/A	N/A	12.288	18.432	24.576 ⁽¹⁾	36.864 ⁽¹⁾
88.2kHz	N/A	N/A	22.5792 ⁽¹⁾	33.8688 ⁽¹⁾	N/A	N/A
96kHz	N/A	N/A	24.576 ⁽¹⁾	36.864 ⁽¹⁾	N/A	N/A
176.4kHz	22.5792 ⁽²⁾	33.8688 ⁽¹⁾⁽²⁾	N/A	N/A	N/A	N/A
192kHz	24.576 ⁽¹⁾⁽²⁾	36.864 ⁽¹⁾⁽²⁾	N/A	N/A	N/A	N/A

注: (1) 24.0MHzより高い周波数では、内部発振器を使用した水晶発振器の周波数は適用されません。(2) x4(ピン21)を "ハイ" に設定する必要があります。

表 . 標準的なシステムクロック周波数

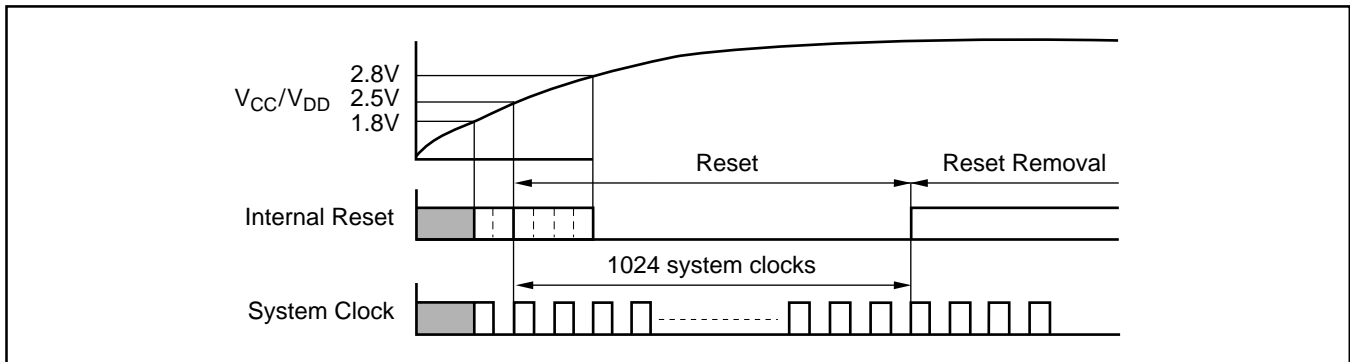


図2. 内部パワーオン・リセットのタイミング

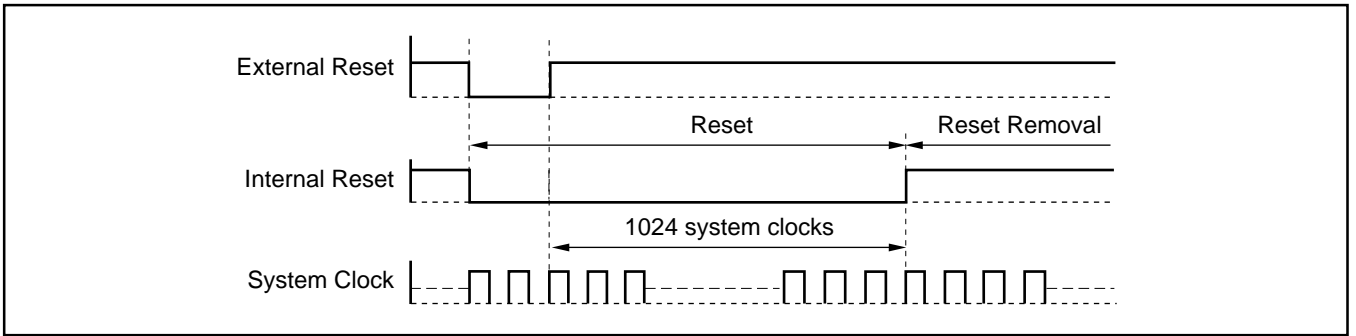


図3. 外部リセットのタイミング

オーディオ入力インターフェース

オーディオ入力インターフェースは、BCKIN(ピン2)、LRCIN(ピン28)、D_{IN}(ピン1)からなります。BCKINは、入力ビット・クロックで、D_{IN}の入力データをDF1706の入力シリアル・インターフェースにクロック・インするために使用します。D_{IN}の入力データは、BCKINの立ち上がりエッジでDF1706にクロック・インされます。L/RクロックのLRCINは、オーディオ入力データのワー

ド・ラッチとして使用します。BCKINは、 $32f_s$ 、 $48f_s$ 、または $64f_s$ で動作します(f_s はオーディオ・サンプリング・レート)。LRCINは、 f_s の周波数で動作します。図4(a)から(c)に、入力データ・フォーマットを示します。フォーマットは、ハードウェアまたはソフトウェア制御で選択します。

オーディオ入力インターフェースのタイミングの必要条件は、図5を参照して下さい。

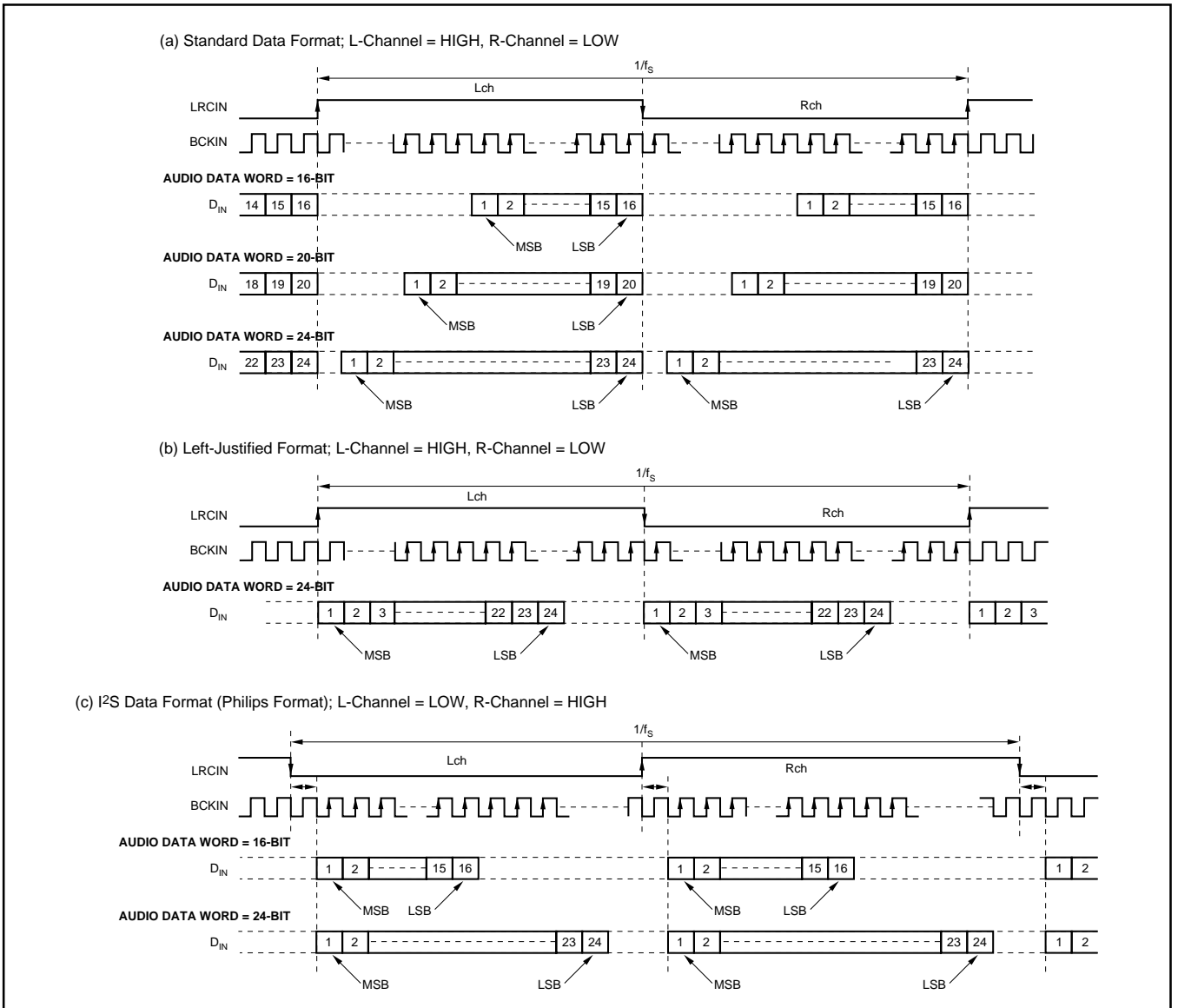


図4. オーディオ・データ入力フォーマット

オーディオ出力インターフェース

オーディオ出力インターフェースは、BCKQ (ピン26)、WCKO (ピン25)、DOL (ピン24)、DOR (ピン23) からなります。

BCKOは、出力ビット・クロックで、データをPCM1704などのオーディオD/Aコンバータにクロック・インするために使用します。DOLとDORは、L/Rオーディオ・データ出力です。WCKOは出力ワード・クロックで、オーディオ・データ・ワードをオーディオD/Aコンバータにラッチするために使用します。

WCKOは、すべてのシステムクロック周波数に対して $8f_s$ (8倍オーバー・サンプリング)の固定レートで動作します。

BCKOは、システムクロック周波数が $256f_s$ または $512f_s$ の場合 $256f_s$ に固定されます。

BCKOは、システムクロック周波数が $384f_s$ または $768f_s$ の場合 $192f_s$ に固定されます。

DF1706がDOLおよびDORに使用する出力データ・フォーマットは、バイナリ2'sコンプリ、MSBファースト、後詰めオーディオ・データです。図6(a) (b) (c) (d)にDF1706の出力データ・フォーマットを示します。オーディオ出力のタイミングは、図7を参照して下さい。

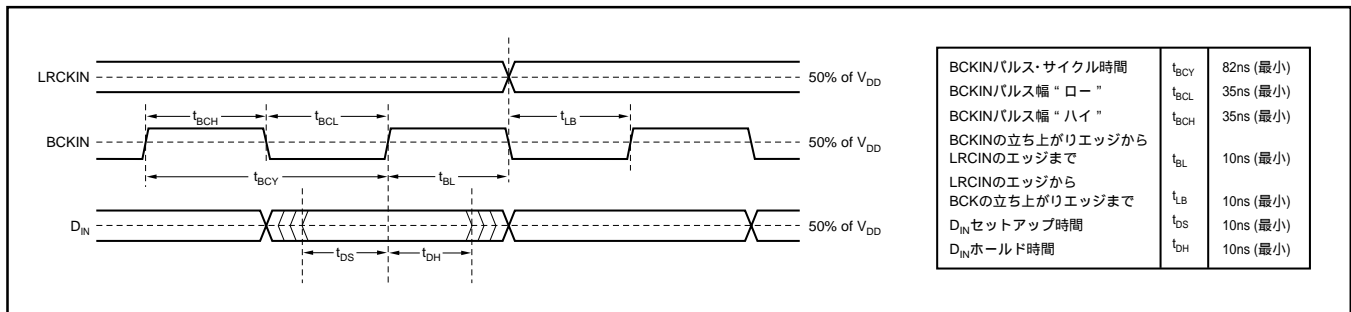


図5. オーディオ入力インターフェースのタイミング

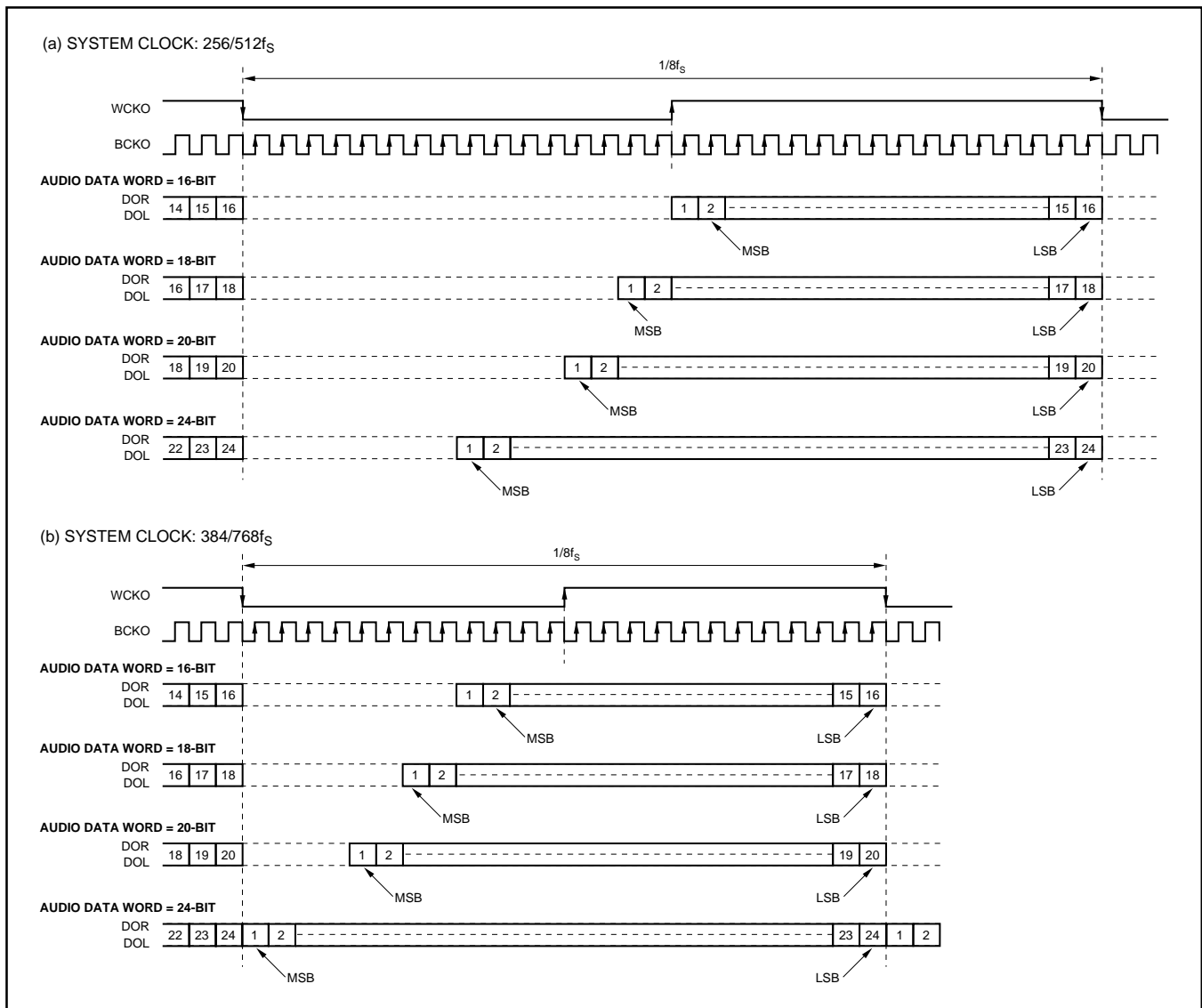


図6. オーディオ出力データ・フォーマット

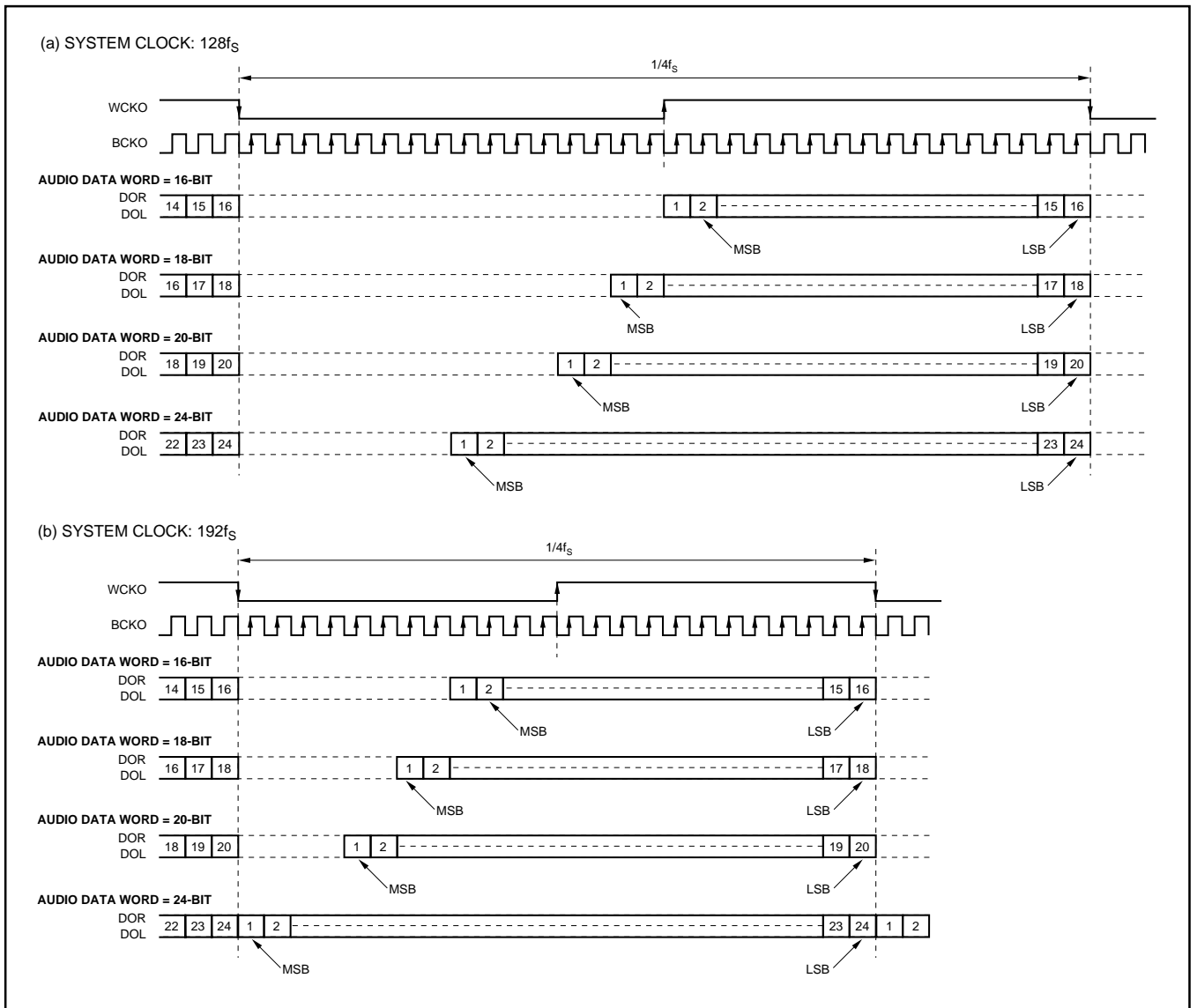


図6. オーディオ出力データ・フォーマット(続き)

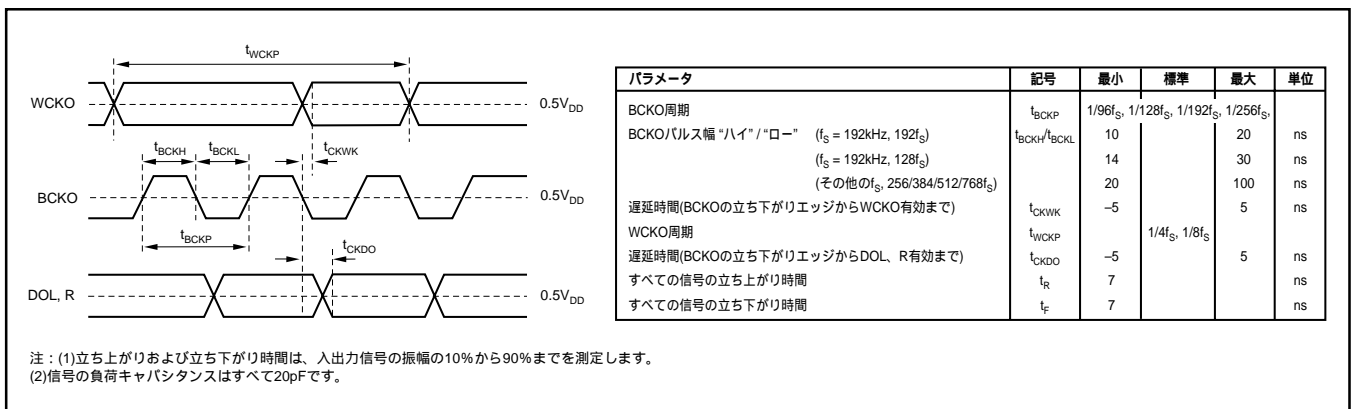


図7. オーディオ・データ出力のタイミング

モード制御

DF1706は、ソフトウェアまたはハードウェア制御のどちらのモードでも構成できます。モードは、MODE入力(ピン10)を使用して選択します。モードの選択については、表を参照して下さい。

MODEの設定	制御モードの選択
MODE = H	ソフトウェア・モード
MODE = L	ハードウェア・モード

表 . モードの選択

プログラム可能な機能

DF1706には、ハードウェアまたはソフトウェア・モードでアクセスしてプログラムできる多数の機能があります。表 1 に、両方の動作モードでプログラム可能な機能の要約を示します。

機能	ソフトウェア (MODE = H)	ハードウェア (MODE = L)	リセット・デフォルト (ソフトウェア・モード)
入力データ・フォーマット選択	0	0	スタンダード・フォーマット
入力ワード長選択	0	0	16ビット
出力ワード長選択	0	0	16ビット
LRCIN極性選択	0	0	L/R = "ハイ"/"ロー"
デジタル・ディエンファシス	0	0	OFF
オーバー・サンプリング・レシオ制御	0	0	8倍
ソフトミュート	0	0	OFF
デジタル減衰	0	X	0dB、L/R独立
ディエンファシス機能のサンプリング・レート	0	0	44.1kHz
フィルタ・ロールオフ選択	0	0	シャープ・ロールオフ
CLKO出力周波数選択	0	0	XTI入力と同じ

凡例：0 = ユーザ・プログラマブル、X = 使用不可。

表 1. ソフトウェアおよびハードウェア・モードでプログラム可能な機能

ハードウェア・モード制御

MODE = Lのとき、ユーザ・プログラマブル・ピンを使用してDF1706を構成できます。ここでは、各ピンの機能を簡単に説明します。表 2 に、ハードウェア・モード制御の設定の詳細を示します。

ピンI²S、IW0、IW1は、オーディオ・データ入力フォーマットとワード長を選択するために使用します。

ピンOW0およびOW1は、出力データ・ワード長を選択するために使用します。

DEMピンは、デジタル・ディエンファシス機能をONまたはOFFにするために使用します。ディエンファシスは、32kHz、44.1kHz、48kHzのサンプリング・レートにのみ使用できます。

ピンSF0およびSF1は、ディエンファシス機能のサンプリング・レートを選擇するために使用します。

SROピンは、デジタルフィルタの特性(シャープまたはスロー・ロールオフ)を選択するために使用します。一般に、シャープ・ロールオフ・フィルタを使用します。

MUTEピンは、ソフトミュート機能をONまたはOFFにするために使用します。

CKOピンは、CLKOピンのクロック周波数(XTIまたはXTI/2)を選択するために使用します。

LRIPピンは、オーディオ入力L/RクロックLRCINの極性を選擇するために使用します。

x4ピンは、内部デジタルフィルタのオーバー・サンプリング・レシオ(8倍または4倍)を制御するために使用します。例えば、f_sが192kHzまたは176.4kHzのとき、オーバー・サンプリング・レシオを4倍にします。

RESVピンは、将来の使用のために予約されており、現在のDF1706の設計では使用されません。

ピン名	ピン番号	説明
RSV	13	予約、未使用
LRIP	12	LRCIN極性 LRIP = H : LRCIN = H = Lチャンネル、 LRCIN = L = Rチャンネル LRIP = L : LRCIN = L = Lチャンネル、 LRCIN = H = Rチャンネル
CKO	11	CLKO出力周波数 CKO = H : CLKO周波数 = XTI/2 CKO = L : CLKO周波数 = XTI
MUTE	15	ソフトミュート制御 : H = ミュートOFF、L = ミュートON
I ² S IW0 IW1	3 4 5	入力データ・フォーマット制御 I ² S IW1 IW0 入力フォーマット L L L 16ビット、スタンダード、MSB ファースト、後詰め L L H 20ビット、スタンダード、MSB ファースト、後詰め L H L 24ビット、スタンダード、MSB ファースト、後詰め L H H 24ビット、MSBファースト、前詰め H L L 16ビット、I ² S H L H 24ビット、I ² S
SRO	27	デジタルフィルタ・ロールオフ : H = スロー、L = シャープ
OW0 OW1	19 20	出力データ・ワード長制御 OW1 OW0 出力フォーマット L L 16ビット、MSBファースト L H 18ビット、MSBファースト H L 20ビット、MSBファースト H H 24ビット、MSBファースト
SF0 SF1	17 18	デジタル・ディエンファシス制御のサンプリング・レート 選択 SF1 SF0 サンプリング・レート L L 44.1kHz L H 予約、未使用 H L 48kHz H H 32kHz
DEM	16	デジタル・ディエンファシス : H = ON、L = OFF
x4	21	オーバー・サンプリング・レート制御 : H = 4f _s 、L = 8f _s

表 2. ハードウェア・モード制御

ソフトウェア・モード制御

MODE = Hのとき、4つの内部レジスタをプログラムすることによりDF1706をソフトウェア・モードで構成できます。ML(ピン13)、MX(ピン12)、MD(ピン11)で3線ソフトウェア制御ポートが構成され、DSPやマイクロコントローラの汎用I/Oピンまたはシリアル・ポートを使用して制御できます。表 3 に、内部レジスタMODE0からMODE3までの概要を示します。

制御ポートの詳細なデータ・フォーマットとタイミングの必要条件については、図8から10までを参照して下さい。制御ポートのデータ・フォーマットは、16ビット、MSBファーストで、ビットB15がMSBです。

レジスタ・アドレス

A[1:0] [16ビット制御データ・ワードのビットB10およびB9]は、現在の制御ポートの書き込みサイクルで書き込むレジスタ・アドレスを示すために使用します。レジスタMODE0からMODE3までのビットA[1:0]を使用して内部レジスタのアドレスを指定する方法については、表 4 を参照して下さい。

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
MODE0	res	res	res	res	res	A1	A0	LDL	AL7	AL6	AL5	AL4	AL3	AL2	AL1	AL0
MODE1	res	res	res	res	res	A1	A0	LDR	AR7	AR6	AR5	AR4	AR3	AR2	AR1	AR0
MODE2	res	res	res	res	res	A1	A0	res	res	OW1	OW0	IW1	IW0	x4	DEM	MUT
MODE3	res	res	res	res	res	A1	A0	res	SF1	SF0	CKO	res	SRO	ATC	LRP	I ² S

図8. 内部モード制御レジスタ

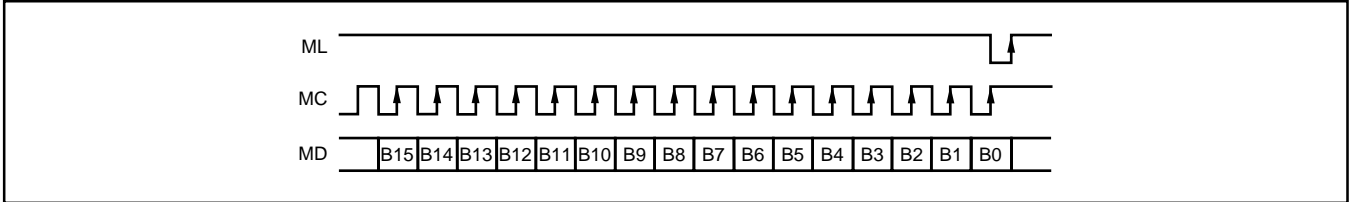


図9. ソフトウェア・インターフェースのフォーマット

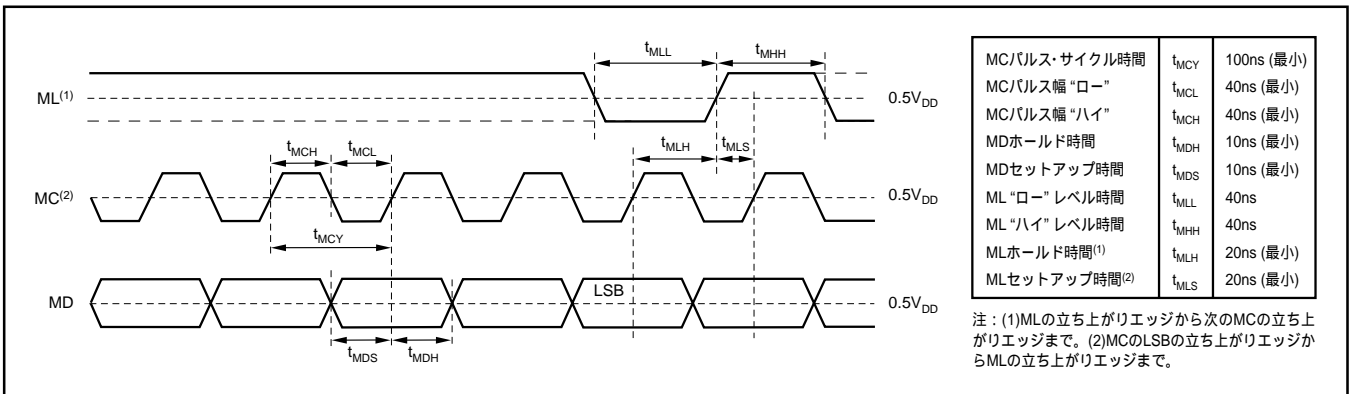


図10. ソフトウェア・インターフェースのタイミングの必要条件

レジスタ名	ビット名	説明
MODE0	AL[7 : 0]	Lチャンネルの減衰データ
	LDL	Lチャンネルの減衰ロード制御
	A[1 : 0]	レジスタ・アドレス
	res	未使用
MODE1	AR[7 : 0]	Rチャンネルの減衰データ
	LDL	Rチャンネルの減衰ロード制御
	A[1 : 0]	レジスタ・アドレス
	res	未使用
MODE2	MUT	ソフトミュート制御
	DEM	デジタル・ディエンファシス制御
	x4	オーバー・サンプリング・レート制御
	IW[1 : 0]	入力データ・フォーマットおよびワード長
	OW[1 : 0]	出力データ・ワード長
	A[1 : 0]	レジスタ・アドレス
	res	未使用
MODE3	I ² S	入力データ・フォーマット(I ² Sまたはスタンダード/前詰め)
	LRP	LRCIN極性
	ATC	アッテネータ制御、共通または独立
	SRO	デジタルフィルタ・ロールオフ選択(シャープまたはスロー)
	CKO	CLKO周波数選択(XTIまたはXTI/2)
	SF[1 : 0]	ディエンファシス機能のサンプリング・レート選択
	A[1 : 0]	レジスタ・アドレス
res	未使用	

注：未使用ビットはすべて0にプログラムする必要があります。

表 . 内部レジスタ・マッピング

A1	A0	選択するレジスタ
0	0	MODE0
0	1	MODE1
1	0	MODE2
1	1	MODE3

表 . 内部レジスタのアドレス

MODE0レジスタ

MODE0レジスタは、L出力チャンネルDOL(ピン24)の減衰データを設定するために使用します。

ATC = 1(レジスタMODE3のビットB2 = 1)のとき、Lチャンネルの減衰データAL[7:0]がL/Rチャンネルの両方のアッテネータに使用されます。

ATC = 0(レジスタMODE3のビットB2 = 0)のとき、Lチャンネルの減衰データがレジスタMODE0のAL[7:0]から取り込まれ、Rチャンネルの減衰データがレジスタMODE1のAR[7:0]から取り込まれます。

AL[7:0] Lチャンネル・アッテネータ・データ(AL7 = MSB、AL0 = LSB)

減衰レベルは、次の式で設定されます。

$$\text{減衰量} = 0.5 \cdot (\text{データ} - 255) \text{ dB}$$

$$\text{データ} = FF_{\text{H}} \text{ のとき、減衰量} = -0 \text{ dB}$$

$$\text{データ} = FE_{\text{H}} \text{ のとき、減衰量} = -0.5 \text{ dB}$$

$$\text{データ} = 01_{\text{H}} \text{ のとき、減衰量} = -127.5 \text{ dB}$$

$$\text{データ} = 00_{\text{H}} \text{ のとき、減衰量} = \text{無限大} = \text{ミュート}$$

LDL

Lチャンネル減衰データ・ロード制御

このビットは、L/Rチャンネルの両方の減衰レベルを同時に設定するために使用します。

LDL = 1のとき、Lチャンネルの出力レベルはAL[7:0]のデータにより設定されます。Rチャンネルの出力レベルは、AL[7:0]のデータまたはレジスタMODE1のビットAR[7:0]に直前にプログラムされたデータにより設定されます。

LDL = 0のとき、Lチャンネルの出力データは、直前にプログラムされたレベルに保持されます。

MODE1レジスタ

MODE1レジスタは、R出力チャンネルDOR(ピン23)の減衰データを設定するために使用します。

ATC = 1(レジスタMODE3のビットB2 = 1)のとき、レジスタMODE0のLチャンネルの減衰データAL[7:0]がL/Rチャンネルの両方のアッテネータに使用されます。

ATC = 0(レジスタMODE3のビットB2 = 0)のとき、Lチャンネルの減衰データがレジスタMODE0のAL[7:0]から取り込まれ、Rチャンネルの減衰データがレジスタMODE1のAR[7:0]から取り込まれます。

AR[7:0] Rチャンネル・アッテネータ・データ(AR7 = MSB、AR0 = LSB)

減衰レベルは、次の式で設定されます。

$$\text{減衰量} = 0.5 \cdot (\text{データ} - 255) \text{ dB}$$

$$\text{データ} = FF_{\text{H}} \text{ のとき、減衰量} = -0 \text{ dB}$$

$$\text{データ} = FE_{\text{H}} \text{ のとき、減衰量} = -0.5 \text{ dB}$$

$$\text{データ} = 01_{\text{H}} \text{ のとき、減衰量} = -127.5 \text{ dB}$$

$$\text{データ} = 00_{\text{H}} \text{ のとき、減衰量} = \text{無限大} = \text{ミュート}$$

LDR

Rチャンネル減衰データ・ロード制御

このビットは、L/Rチャンネルの両方の減衰レベルを同時に設定するために使用します。

LDR = 1のとき、Rチャンネルの出力レベルはAR[7:0]のデータまたはレジスタMODE0のビットAL

[7:0]のデータにより設定されます。Lチャンネルの出力レベルは、レジスタMODE0のビットAL[7:0]に直前にプログラムされたデータにより設定されます。LDR = 0のとき、Rチャンネルの出力データは、直前にプログラムされたレベルに保持されます。

MODE2レジスタ

MODE2レジスタは、各種機能をプログラムするために使用します。

MUT ソフトミュート機能

MUT = 0のとき、L/Rチャンネルの両方のソフトミュートがONになります。

MUT = 1のとき、L/Rチャンネルの両方のソフトミュートがOFFになります。

DEM デジタル・ディエンファシス機能

DEM = 0のとき、ディエンファシスがOFFになります。

DEM = 1のとき、ディエンファシスがONになります。

x4 オーバー・サンプリング・レート選択

x4 = 0のとき、8f_s サンプリング・レート動作になります。

x4 = 1のとき、4f_s サンプリング・レート動作になります。

IW[1:0] 入力データ・フォーマットおよびワード長

I ² S	IW1	IW0	説明
0	0	0	16ビット・データ、スタンダード・フォーマット(MSBファースト、後詰め)
0	0	1	20ビット・データ、スタンダード・フォーマット
0	1	0	24ビット・データ、スタンダード・フォーマット
0	1	1	24ビット・データ、MSBファースト、前詰め
1	0	0	16ビット・データ、I ² Sフォーマット
1	0	1	24ビット・データ、I ² Sフォーマット
1	1	0	未使用
1	1	1	未使用

OW[1:0] 出力データ・ワード長

OW1	OW0	説明
0	0	16ビット・データ、MSBファースト
0	1	18ビット・データ、MSBファースト
1	0	20ビット・データ、MSBファースト
1	1	24ビット・データ、MSBファースト

MODE3レジスタ

MODE3レジスタは、各種機能をプログラムするために使用します。

I²S 入力データ・フォーマット

I²S = 0のとき、スタンダードまたは前詰めフォーマットが使用されます。

I²S = 1のとき、I²Sフォーマットが使用されます。

LRP	LRCIN極性選択		
	LRP = 0のとき、Lチャンネルが「ハイ」に、Rチャンネルが「ロー」になります。		
	LRP = 1のとき、Lチャンネルが「ロー」に、Rチャンネルが「ハイ」になります。		
ATC	アッテネータ制御		
	このビットは、L/Rチャンネルのアッテネータに独立のデータを使用するか、または共通のデータ(レジスタMODE0のビットAL[7:0]のLチャンネル・データ)を使用するかを指定するために使用します。		
	ATC = 0のとき、L/Rチャンネルのアッテネータに独立のデータを使用します。		
	ATC = 1のとき、L/Rチャンネルのアッテネータに共通のデータを使用します。		
SRO	デジタルフィルタ・ロールオフ選択		
	SRO = 0のとき、シャープ・ロールオフが選択されます。		
	SRO = 1のとき、スロー・ロールオフが選択されます。		
CKO	CLKO出力周波数選択		
	CKO = 0のとき、CLKOの周波数はXTI1入力クロックと同じです。		
	CKO = 1のとき、CLKOの周波数はXTI1入力クロックの周波数の1/2になります。		
SF[1:0]	ディエンファシス機能のサンプリング・レート選択		
	SF1	SF0	説明
	0	0	44.1kHz
	0	1	未使用
	1	0	48kHz
	1	1	32kHz

使用上の注意

プリント基板のレイアウトの指針

DF1706およびD/Aコンバータが仕様で規定された性能を発揮するためには、適切なプリント基板のレイアウトが不可欠です。図11に、最大のオーディオ性能が得られる2つのアプローチを示します。

図11(a)に、標準的なミックスド・シグナルのレイアウト方法を示します。基板をデジタル部とアナログ部に分割し、それぞれに専用のグランドを使用します。グランド領域は、配線および電源レイヤとは別のプレーンにします。DF1706およびすべてのデジ

タル回路を基板のデジタル部に配置し、オーディオD/Aコンバータおよびアナログ回路はアナログ部に配置します。デジタル・グランドおよびアナログ・グランド間に共通の接続が必要で、図のように1点で接続します。

図11(a)では、放射される高周波エネルギーを低減するため、DF1706とオーディオD/Aコンバータ間のデジタル信号を短く直接的に配線する必要があります。必要な場合は、クロックおよびデータの信号路に直列抵抗を接続して、信号のオーバーシュートやアンダーシュートを除去できます。最初の目安として推奨される値は50Ωから100Ωです。最善の結果を得るため、設計者はいくつかの抵抗値で実験する必要があります。

図11(b)に、高性能なミックスド・シグナル向けの改善された基板レイアウトの方法を示します。この方法では、DF1706とオーディオD/Aコンバータの間に絶縁型デジタル・カプラが追加され、基板のデジタル部とアナログ部が完全に絶縁されます。ISO150デュアル・デジタル・カプラは、優れた絶縁を実現し、最大80Mbpsの速度で動作します。

電源およびバイパス

DF1706の動作にはシングル+5V電源が必要です。電源は、10μFと0.1μFの並列コンデンサでバイパスします。コンデンサは、できるだけV_{DD}(ピン22)の近くに配置します。10μFのコンデンサにはアルミ電解コンデンサまたはタンタル・コンデンサを使用し、0.1μFのコンデンサにはセラミック・コンデンサを使用します。

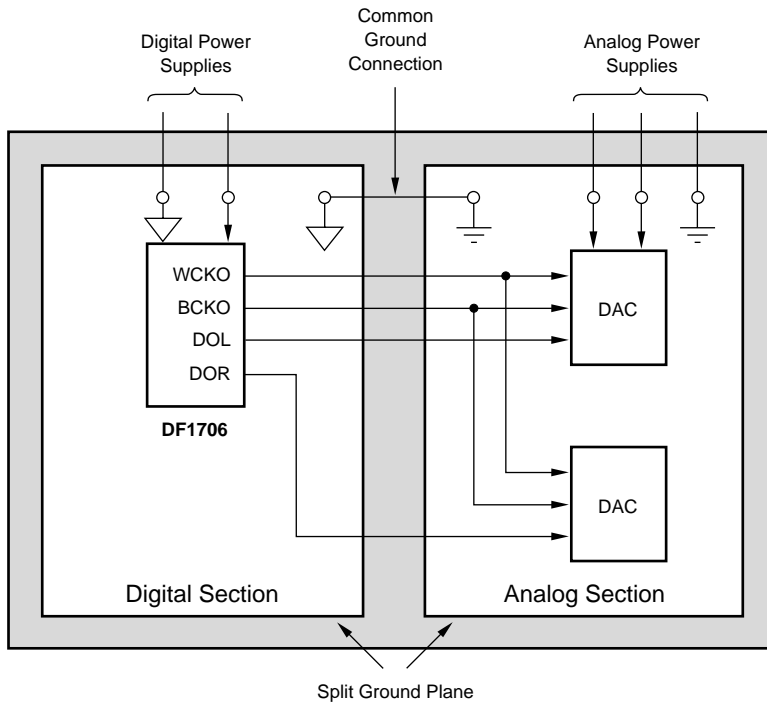
基本回路の接続

DF1706の基本回路の接続については、図12および13を参照して下さい。図12にハードウェア・モード制御の接続を、図13にソフトウェア・モード制御の接続を示します。両方の図でC₁およびC₂がDF1706の近くに配置されていることに注意して下さい。

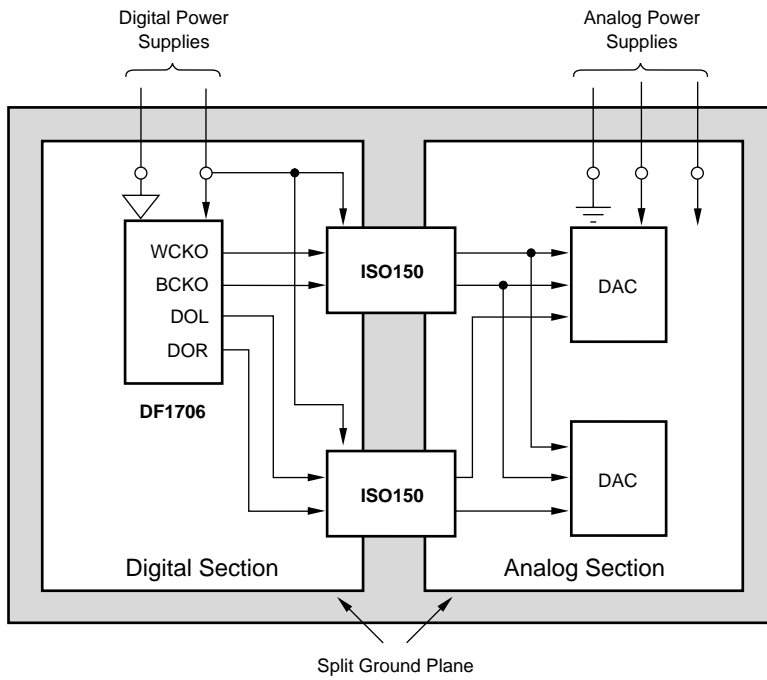
標準的アプリケーション

DF1706は、通常、高性能オーディオD/Aコンバータとともに高性能オーディオ機器に使用されます。DF1706、デジタル・オーディオ・レシーバ、および2個のPCM1704(24ビット、192kHzオーディオD/Aコンバータ)を使用した標準的なアプリケーション回路の例を図14に示します。

(a) Layout Without Isolation



(b) Layout With Isolation



▽ = DGND
⊥ = AGND

図11. プリント基板のレイアウト・モデル

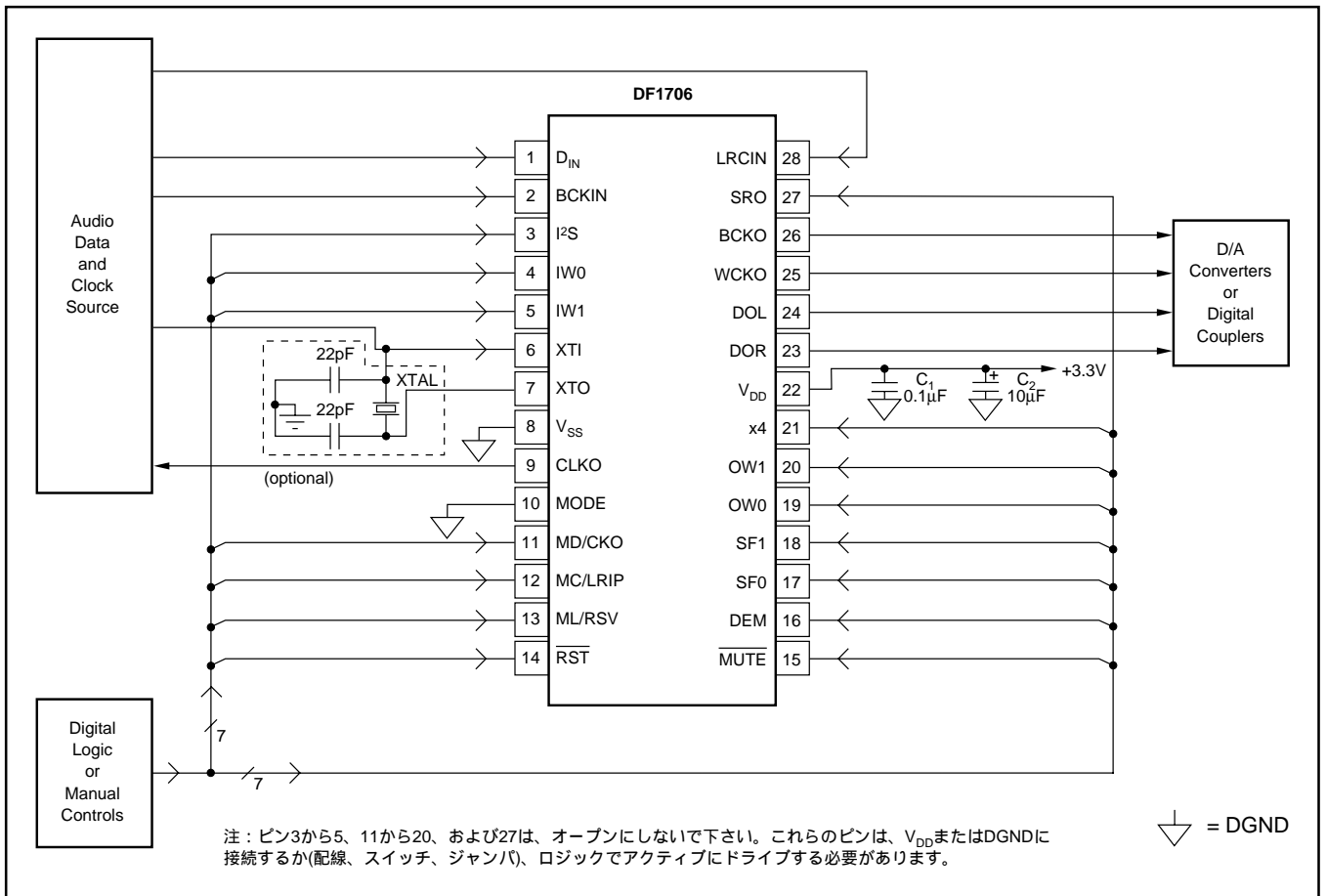


図12. 基本回路の接続(ハードウェア制御)

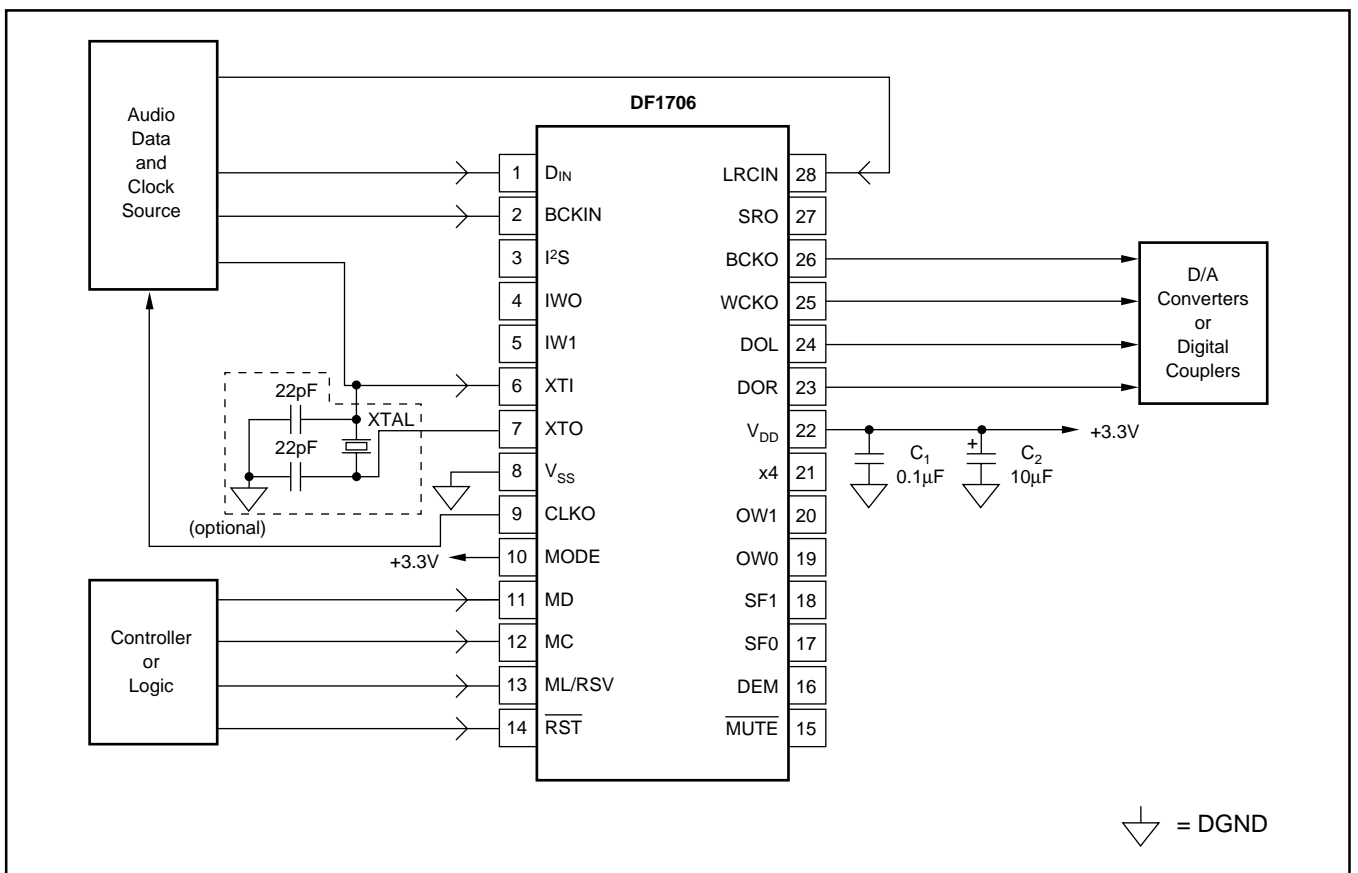


図13. 基本回路の接続(ソフトウェア制御)

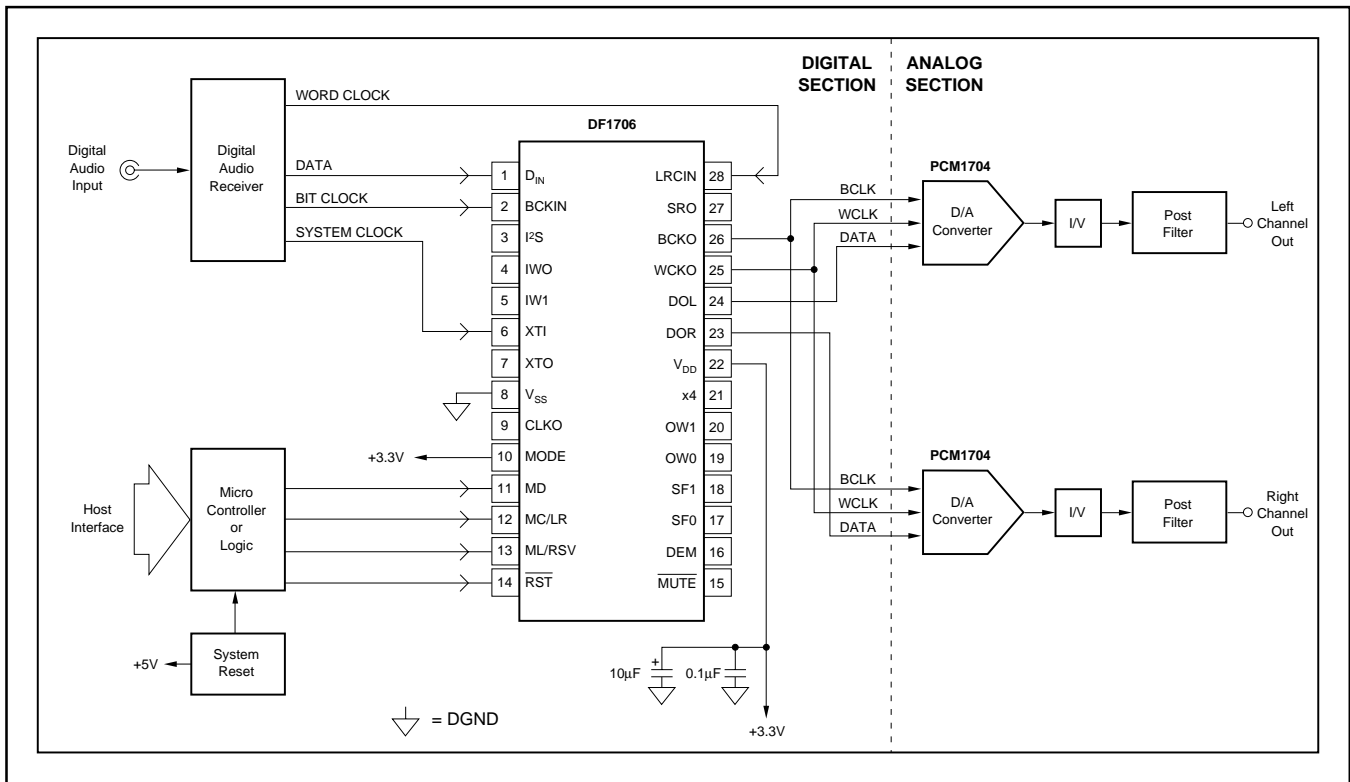
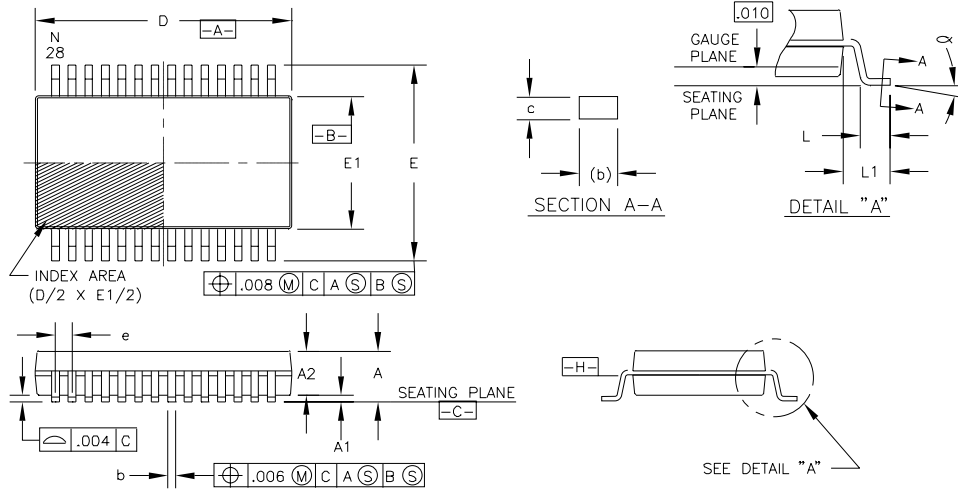


図14. DF1706の標準的なアプリケーション回路

外観

パッケージ番号324 - 28ピン・プラスチックSSOP



DIM	INCHES		MILLIMETERS		N	E	DIM	INCHES		MILLIMETERS		N	E
	MIN.	MAX.	MIN.	MAX.				MIN.	MAX.	MIN.	MAX.		
A	--	.079	--	2.00									
A1	.002	--	0.05	--									
A2	.065	.073	1.65	1.85									
b	.009	.015	0.22	0.38	3,7								
c	.004	.010	0.09	0.25	7								
D	.390	.413	9.90	10.50	2								
E	.291	.323	7.40	8.20									
E1	.196	.220	5.00	5.60	2								
e	.0256	BASIC	0.65	BASIC									
L	.022	.037	0.55	0.95	4								
L1	.049	REF	1.25	REF									
N	28		28		5								
θ	0°	8°	0°	8°									

NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5-1982.
2. D AND E1 DIMENSIONS DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS, BUT DO INCLUDE MOLD MISMATCH AND ARE MEASURED AT DATUM PLANE [-H-] MOLD PARTING LINE. MOLD FLASH OR PROTRUSION SHALL NOT EXCEED .008 INCH PER SIDE.
3. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION/INTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE .005 INCH TOTAL IN EXCESS OF b DIMENSION AT MAXIMUM MATERIAL CONDITION.

DAMBAR INTRUSION SHALL NOT REDUCE DIMENSION b BY MORE THAN .003 INCH AT LEAST MATERIAL CONDITION.

4. DIMENSION L TO BE DETERMINED AT SEATING PLANE-DATUM C.
5. N IS THE NUMBER OF TERMINAL POSITIONS.
6. A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSS-HATCHED AREA.
7. SECTION A-A DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN .004 AND .010 INCH FROM THE LEAD TIP.

PACKAGE NUMBER: ZZ324 REV.: C
JEDEC NUMBER: MO-150

ご 注 意

日本テキサス・インスツルメンツ株式会社（以下TIといいます）は、通知をすることなくその製品を変更し、もしくは半導体集積回路製品またはサービスの製造または提供を中止することがありますので、お客様は、発注される前に、これから参照しようとする資料が最新のものであることを確実にするため、最新版の資料を取得するようお勧めします。

TIは、その半導体集積回路製品および関連するソフトウェアが、TIの標準保証条件に従い販売の際の現行の仕様書に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する特定の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

半導体集積回路製品を使用する或る種の用途の中には、死亡、傷害、または財産もしくは環境に深刻な被害をもたらす危険の可能性を包含するものがあります。（以下、これらを「重大用途」といいます。）

TIの半導体集積回路製品は、生命維持の用途、装置、システム、その他の重大用途に使用できるように設計も、意図も、承認も、また保証もされておられません。

TIの製品を当該重大用途に組込むことは、お客様独自のリスクでなされることと解釈されます。TI製品を当該用途に使用される場合は、事前にTIの役員の書面による承諾を必要とします。危険な可能性を有する用途に関する質問は、TIの営業所を通じて、TI迄お寄せ下さい。

お客様の用途にTI製品を使用することに伴う危険を最小のものとするため、製品固有の危険性を最小にするための、適切な設計上および作動する上での安全対策は、お客様がとらなくてはなりません。

TIは製品の使用用途に関する支援、お客様の製品の設計、ソフトウェアの性能、または特許侵害もしくはサービスに対する責任を負うものではありません。またTIは、その半導体集積回路製品もしくはサービスが使用される、もしくは使用されている組み合わせ、機械装置、もしくは方法をカバーしている、またはそれ等に関連している特許権、著作権、回路配置利用権、その他の知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表示もしておりません。

Copyright © 2001 日本テキサス・インスツルメンツ株式会社

IN-9809

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。

前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度：0～40、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、露結しないこと。）直射日光が当たる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。

はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上