

DVD-A/DSD(SACD)対応  
フルーエンシ型DAコンバータ

F N 1 2 4 2 A

## 概要

FN1242Aは24ビット8倍オーバーサンプリングのフルーエンシ型データ補間フィルタを内蔵した、DVDオーディオ/DSD(SACD)対応2ch-1ビットDAコンバータです。

$\Delta\Sigma$  モジュレータには新開発のマルチビット方式を採用することにより、ジッタ耐量の向上を実現しました。アナログ出力段は100kHz帯域のLPFと差動電圧出力バッファで構成しており、再生周波数帯域に応じた外部LPFを付加することで、高音質なオーディオ信号を再生できます。

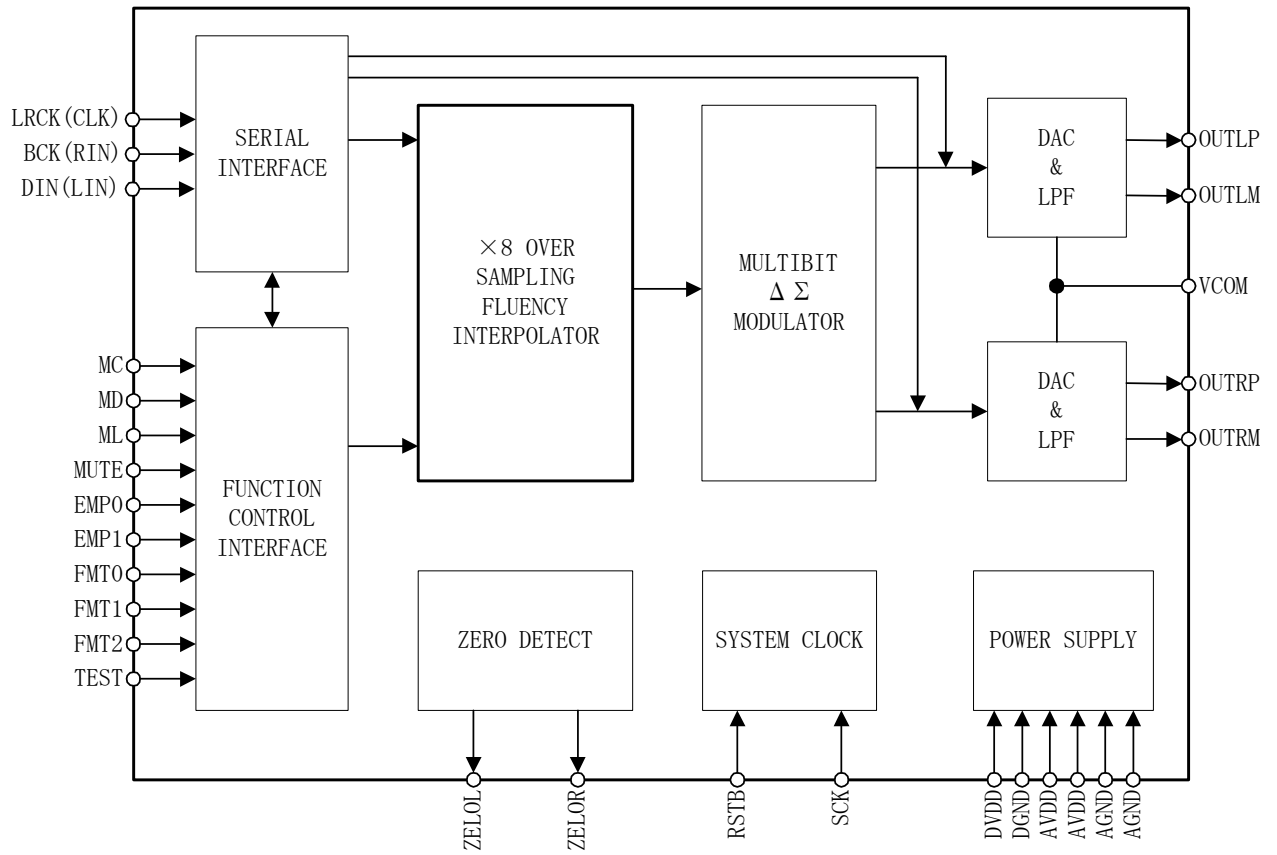
## 特徴

- 24ビット8倍オーバーサンプリング フルーエンシ型データ補間フィルタ内蔵
- DR、S/N : 102dB(TYP)
- THD+N : 0.002%(TYP)
- サンプリング周波数 : 32kHz~192kHz
- 前詰め/後詰め/IIS(16、20、24ビット)
- ダイレクト・ストリーム・デジタル(DSD)信号を入力可能
- システムクロック(自動判別、サンプリング周波数により制限)  
128fs、192fs、256fs、384fs、512fs、768fs
- 各種ファンクション設定(3線式シリアルインターフェース)
- デジタル・ディエンファシスフィルタ  
32kHz/44.1kHz/48kHz対応(外部端子により選択)
- ソフトミュート機能内蔵
- 0~-60dB、リニアステップ・デジタルアッテネータ
- ゼロデータ検出機能
- 電源電圧  
デジタル回路 : 3.0V ~ 3.6V  
アナログ回路 : 3.0V ~ 5.5V
- 28ピン SSOP

## 用途

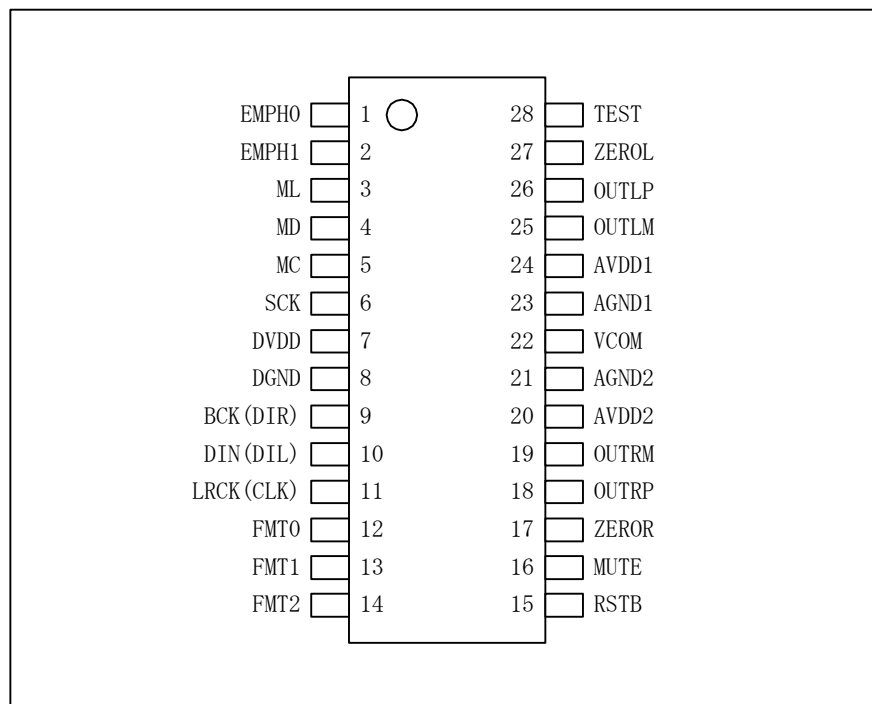
ホームオーディオ/カーオーディオ用CD、DVDおよびSACDプレーヤー、デジタルTV、セットトップBOXなど、デジタルオーディオの高音質化に最適です。

## ブロック図



## ピン配置

28ピン SSOP



## 端子名

番号	名称	I/O	説明
1	EMPH0	IN	ディエンファシス周波数設定 EMPH1, 0 = 0: 32kHz 1: 44.1kHz 2: 48kHz 3: OFF
2	EMPH1	IN	
3	ML	IN	
4	MD	IN	ファンクション設定データ入力
5	MC	IN	ファンクション設定クロック入力
6	SCK	IN	システムクロック入力
7	DVDD	-	デジタル電源 (3.3V)
8	DGND	-	デジタルグランド
9	BCK (DIR)	IN	ビットクロック入力。DSD フォーマット時、Rch データ(DIR) 入力
10	DIN (DIL)	IN	シリアルオーディオデータ入力。DSD フォーマット時、Lch データ(DIL)入力
11	LRCK (CLK)	IN	L/R クロック入力。DSD フォーマット時、データクロック(CLK)入力
12	FMT0	IN	シリアルオーディオデータ・フォーマット選択 FMT2, 1, 0 = 0: MSB ファースト後詰め 16ビット 1: リザーブ(未使用) 2: MSB ファースト後詰め 20ビット 3: MSB ファースト後詰め 24ビット 4: DSD フォーマット 5: MSB ファースト前詰め 16, 20, 24ビット 6: IIS フォーマット 16, 20, 24ビット 7: リザーブ(未使用)
13	FMT1	IN	
14	FMT2	IN	
15	RSTB	IN	
16	MUTE	IN	ソフトミュート入力
17	ZEROR	OUT	Rch ゼロデータ検出出力
18	OUTRP	OUT	Rch アナログ出力+
19	OUTRM	OUT	Rch アナログ出力-
20	AVDD2	-	アナログ電源
21	AGND2	-	アナロググランド
22	VCOM	-	DAC 基準電圧のデカップリングコンデンサ接続端子
23	AGND1	-	アナロググランド
24	AVDD1	-	アナログ電源
25	OUTLM	OUT	Lch アナログ出力-
26	OUTLP	OUT	Lch アナログ出力+
27	ZEROL	OUT	Lch ゼロデータ検出出力
28	TEST	IN	テスト端子(DGND に接続します)

**電氣的特性**

- 絶対最大定格 ( Ta=25°C、DGND=AGND=0V )

項目	記号	定格	単位
電源電圧	DVDD	-0.3 ~ +4.0	V
	AVDD	-0.3 ~ +6.5	V
入力電圧	VI	-0.2 ~ DVDD + 0.3	V
デジタル出力電圧	VOD	-0.2 ~ DVDD + 0.3	V
アナログ出力電圧	VOA	-0.2 ~ AVDD + 0.3	V
保存温度	Tstg	-55 ~ +125	°C

(注) 絶対最大定格はICに印加しても破壊を生じない限界を示す値です。動作を保証するものではありませんのでご注意ください。

- 推奨動作条件

項目	記号	最小	標準	最大	単位
電源電圧	DVDD	3.0	3.3	3.6	V
	AVDD	3.0	5.0	5.5	V
使用周囲温度	Ta	-25	-	+85	°C

- アナログ特性 ( fs=44.1kHz )

特に記述のない限り、Ta=25°C、AVDD=5V、DVDD=3.3V、fsck=384fs、信号=1kHz/24ビット、測定帯域20kHzとします。

項目	条件	最小	標準	最大	単位	
分解能	-	-	24	-	Bits	
ダイナミック特性	THD+N	Vo= 0dB, f=1kHz	-	0.002	-	%
		Vo=-60dB, f=1kHz	-		-	%
	ダイナミックレンジ	Vo=-60dB, EIAJ-A	-	102	-	dB
	S/N比	EIAJ-A	-	102	-	dB
	チャンネルセパレーション	f=1kHz	-	100	-	dB
DC特性	ゲイン誤差		-	±1.0	±5.0	%ofFSR
	ゲイン誤差 ch間ミスマッチ		-	±1.0	±5.0	%ofFSR
	ハイポラゼロ誤差		-	±50	-	mV
アナログ出力	出力電圧	0dB	-	0.6*AVDD	-	Vp-p
	センター電圧		-	0.5*AVDD	-	V
	負荷抵抗		5	-	-	kΩ
アナログフィルタ	-3dB帯域幅		-	100	-	kHz
	周波数特性	20kHz	-	-0.1	-	dB
電源電流	Idvdd	f=1kHz / 0dB	-	16	-	mA
	Iavdd	f=1kHz / 0dB	-	8	-	mA

(注) 測定には評価ボードEVB1242AとAudio Precision System2 Cascadeを使用しております。測定結果につきましてはEVB1242A取扱説明書をご覧ください。

## ● アナログ特性 ( fs=96kHz )

特に記述のない限り、Ta=25°C、AVDD=5V、DVDD=3.3V、f<sub>sck</sub>=384fs、信号=1kHz/24ビット、測定帯域20kHzとします。

項目		条件	最小	標準	最大	単位
分解能		-	-	24	-	Bits
ダイナミック特性	THD+N	Vo= 0dB, f=1kHz	-	0.002	-	%
		Vo=-60dB, f=1kHz	-		-	%
	ダイナミックレンジ	Vo=-60dB, EIAJ-A	-	100	-	dB
	S/N比	EIAJ-A	-	102	-	dB
	チャンネルセパレーション	f=1kHz	-	100	-	dB
DC特性	ゲイン誤差		-	±1.0	±5.0	%ofFSR
	ゲイン誤差 ch間ミスマッチ		-	±1.0	±5.0	%ofFSR
	ハイポラゼロ誤差		-	±50	-	mV
アナログ出力	出力電圧	0dB	-	0.6*AVDD	-	V <sub>p-p</sub>
	センター電圧		-	0.5*AVDD	-	V
	負荷抵抗		5	-	-	kΩ
アナログフィルタ	-3dB帯域幅		-	100	-	kHz
	周波数特性	20kHz	-	-0.1	-	dB
電源電流	Idvdd	f=1kHz / 0dB	-	16	-	mA
	Iavdd	f=1kHz / 0dB	-	8	-	mA

(注)測定には評価ボードEVB1242Aと Audio Precision System2 Cascade を使用しております。  
測定結果につきましてはEVB1242A取扱説明書をご覧ください。

## ● アナログ特性 ( fs=192kHz )

特に記述のない限り、Ta=25°C、AVDD=5V、DVDD=3.3V、f<sub>sck</sub>=192fs、信号=1kHz/24ビット、測定帯域20kHzとします。

項目		条件	最小	標準	最大	単位
分解能		-	-	24	-	Bits
ダイナミック特性	THD+N	Vo= 0dB, f=1kHz	-	0.002	-	%
		Vo=-60dB, f=1kHz	-		-	%
	ダイナミックレンジ	Vo=-60dB, EIAJ-A	-	100	-	dB
	S/N比	EIAJ-A	-	102	-	dB
	チャンネルセパレーション	f=1kHz	-	100	-	dB
DC特性	ゲイン誤差		-	±1.0	±5.0	%ofFSR
	ゲイン誤差 ch間ミスマッチ		-	±1.0	±5.0	%ofFSR
	ハイポラゼロ誤差		-	±50	-	mV
アナログ出力	出力電圧	0dB	-	0.6*AVDD	-	V <sub>p-p</sub>
	センター電圧		-	0.5*AVDD	-	V
	負荷抵抗		5	-	-	kΩ
アナログフィルタ	-3dB帯域幅		-	100	-	kHz
	周波数特性	20kHz	-	-0.1	-	dB
電源電流	Idvdd	f=1kHz / 0dB	-	16	-	mA
	Iavdd	f=1kHz / 0dB	-	8	-	mA

(注)測定には評価ボードEVB1242Aと Audio Precision System2 Cascade を使用しております。  
測定結果につきましてはEVB1242A取扱説明書をご覧ください。

● デジタルフィルタ特性

項目	条件	最小	標準	最大	単位
通過帯域	-3dB	-	0.42fs	-	-
	-6dB	-	0.51fs	-	-
通過帯域リップル		-	0	-	dB

● ディエンファシスフィルタ特性

項目	条件	最小	標準	最大	単位
ディエンファシスエラー	fs=44.1kHz	-0.1	-	+0.4	dB
群遅延		-	2/fs	-	sec

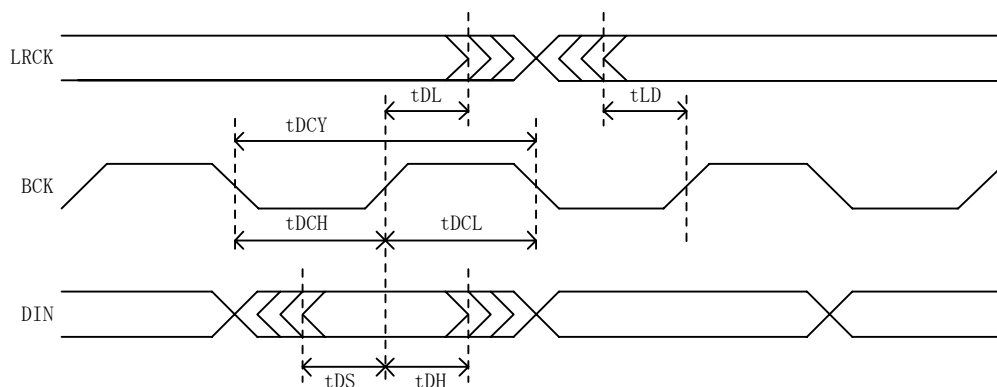
● DC特性

項目	記号	最小	標準	最大	単位
入力ロジックレベル	VIH	0.7*DVDD	-	DVDD	V
	VIL	0	-	0.3*DVDD	V
出力ロジックレベル	VOH	DVDD-0.6	-	-	V
	VOL	-	-	0.4	V

● AC特性

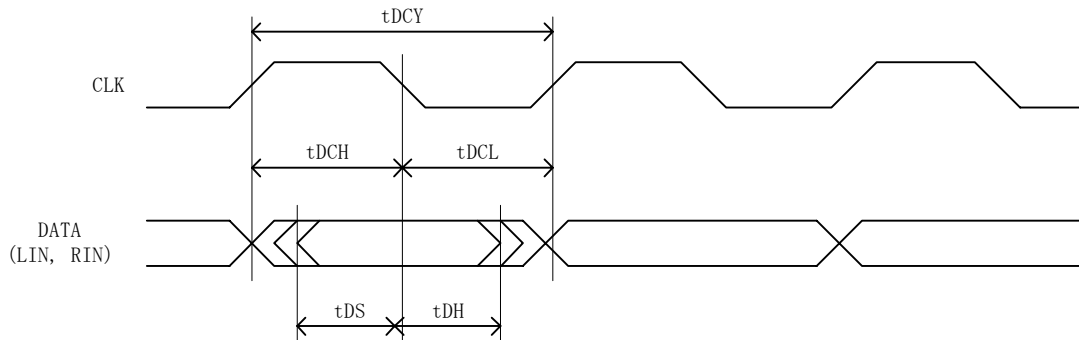
項目	記号	最小	標準	最大	単位
サンプリング周波数	fs	10	44.1	200	kHz
システムクロック周波数	fsck	-	-	40	MHz

● データ入力タイミング1 ( MSB ファースト後詰め、前詰め、IIS )



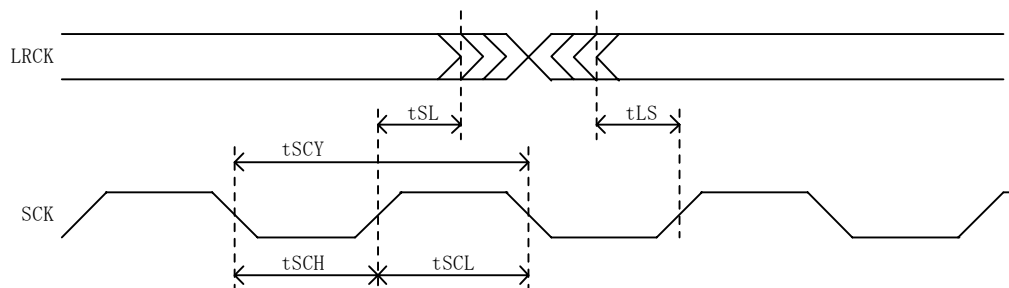
項目	記号	最小	標準	最大	単位
BCK パルス周期	tDCY	70	-	-	ns
BCK パルス幅 H レベル	tDCH	35	-	-	ns
BCK パルス幅 L レベル	tDCL	35	-	-	ns
BCK 立上り → LRCK エッジ	tDL	10	-	-	ns
LRCK エッジ → BCK 立上り	tLD	10	-	-	ns
DIN セットアップタイム	tDS	10	-	-	ns
DIN ホールドタイム	tDH	10	-	-	ns

● データ入力タイミング2 ( DSD フォーマット )



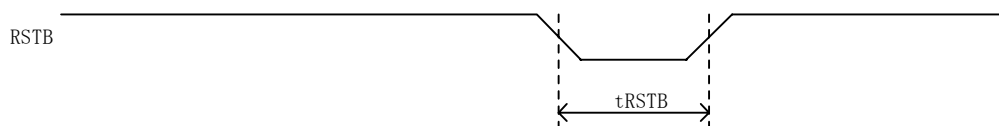
項目	記号	最小	標準	最大	単位
CLK 周期	tDCY	1	-	3.2	MHz
CLK パルス幅 Hレベル	tDCH	20	-	-	ns
CLK パルス幅 Lレベル	tDCL	20	-	-	ns
DATA セットアップタイム	tDS	20	-	-	ns
DATA ホールドタイム	tDH	20	-	-	ns

● LRCK-SCK 間タイミング



項目	記号	最小	標準	最大	単位
SCK パルス周期	tSCY	20	-	-	ns
SCK パルス幅 Hレベル	tSCH	10	-	-	ns
SCK パルス幅 Lレベル	tSCL	10	-	-	ns
SCK 立上り → LRCK エッジ	tSL	0	-	-	ns
LRCK エッジ → SCK 立上り	tLS	0	-	-	ns

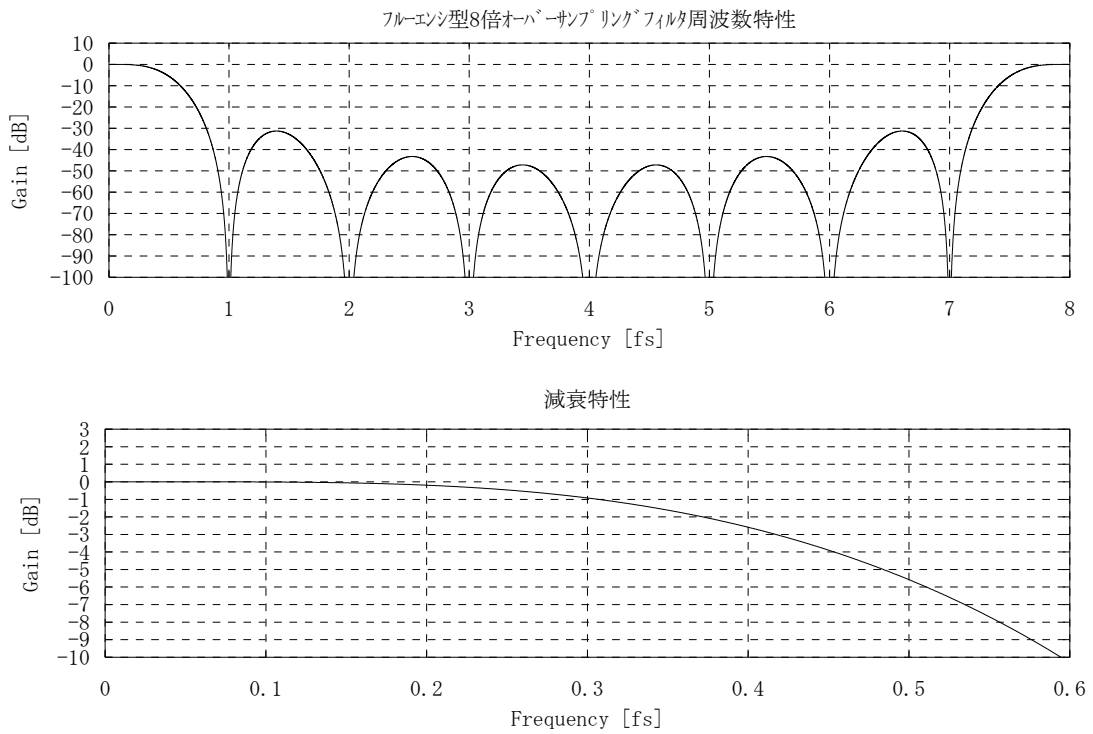
● リセットパルス幅



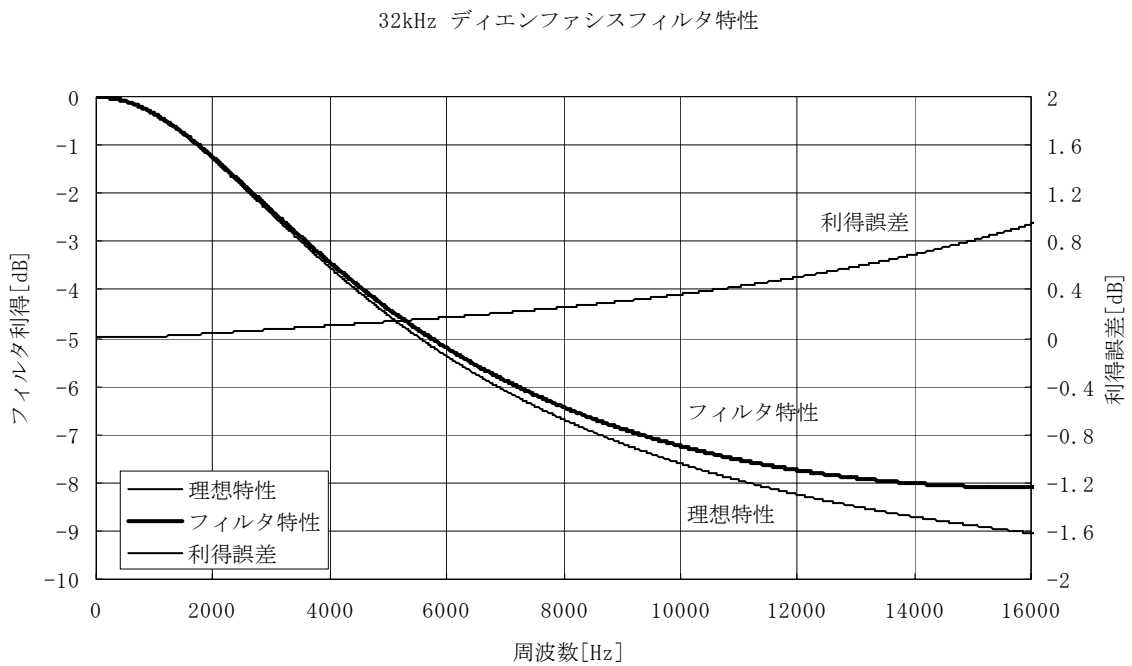
項目	記号	最小	標準	最大	単位
RSTB パルス幅	tRSTB	100	-	-	ns



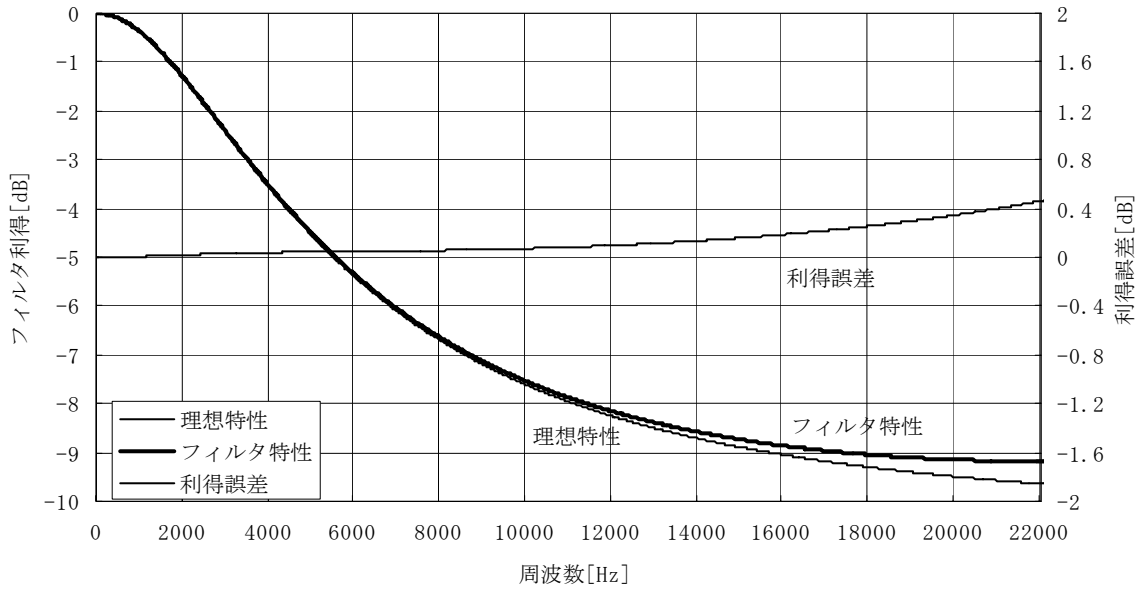
**フィルタ特性**



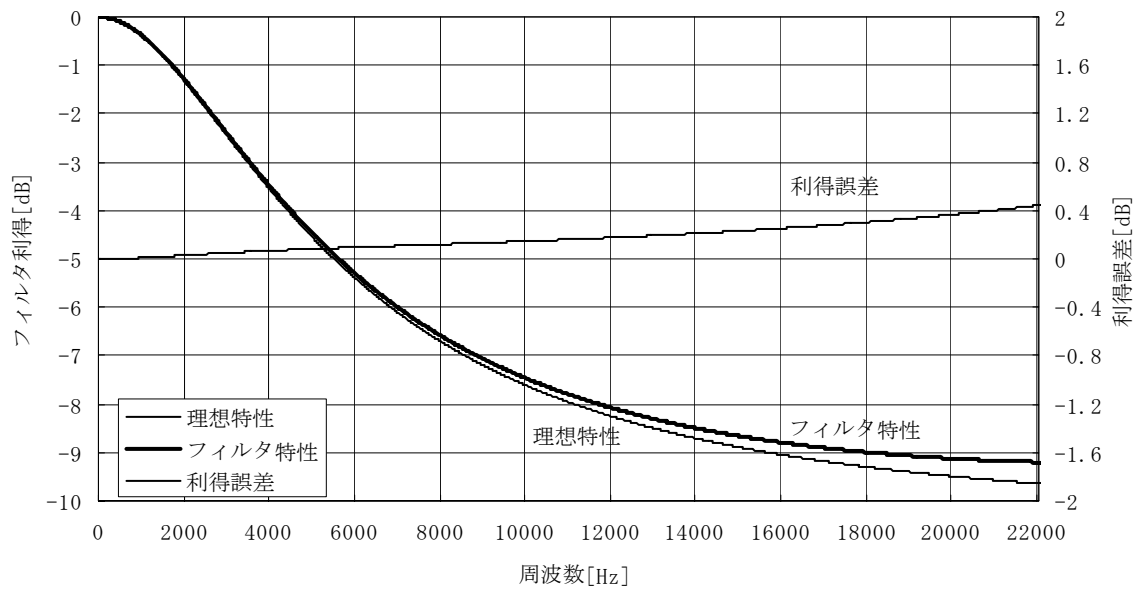
**ディエンファシスフィルタ特性**



44.1kHz ディエンファシスフィルタ特性



48kHz ディエンファシスフィルタ特性



**端子の説明**

- SCK (システムクロック)

FN1242Aはシステムクロックとして128fs、192fs、256fs、384fs、512fs、768fs に対応しています。但し、入力するサンプリング周波数によって下表の制限があります。

サンプリング周波数	128fs	192fs	256fs	384fs	512fs	768fs
32kHz, 44.1kHz, 48kHz	○	○	○	○	○	○
88.2kHz, 96kHz	○	○	○	○	×	×
176.4kHz, 192kHz	○	○	×	×	×	×

システムクロックは内部で自動判別していますが、上表の“×”の組み合わせの場合は動作が保証されません。

- RSTB (リセット)

この端子を LOW レベルにすることで内部回路のリセットを行います。ファンクション設定レジスタは初期化されます。この端子が LOW レベルの期間は、OUTLM、OUTLP、OUTRM、OUTRP 端子はBPZ出力になります。

- ZEROL、ZEROR (ゼロ検出)

DIN の入力データが 4095/BCK 期間バイナリゼロが続いた場合、ZEROL、ZEROR 端子が LOW レベルになります。ZEROL、ZEROR はそれぞれ Lch、Rch に対応しています。入力データがバイナリゼロでなくなった場合、直ちに ZEROL、ZEROR 端子は HIGH レベルになります。

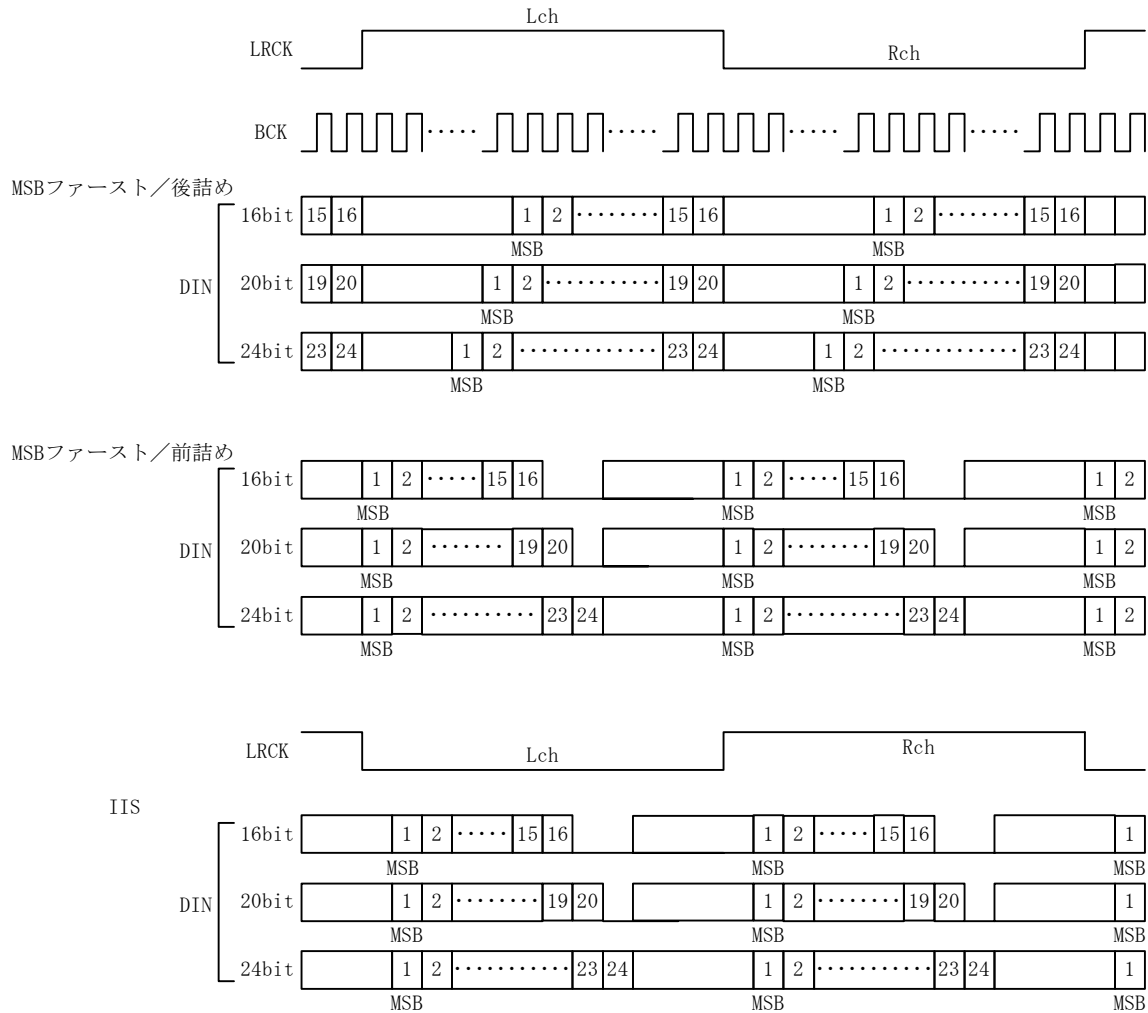
- FMT2、FMT1、FMT0 (オーディオフォーマット)

オーディオデータ入力フォーマットの設定端子です。FMT2、1、0の設定と入力フォーマットの関係を下表に示します。

FMT2	FMT1	FMT0	フォーマット
0	0	0	MSB ファースト後詰め 16bit
0	0	1	リザーブ(未使用)
0	1	0	MSB ファースト後詰め 20bit
0	1	1	MSB ファースト後詰め 24bit
1	0	0	DSD フォーマット
1	0	1	MSB ファースト前詰め 16, 20, 24bit
1	1	0	IIS 16, 20, 24bit
1	1	1	リザーブ(未使用)

- LRCK、BCK、DIN (オーディオデータ入力)

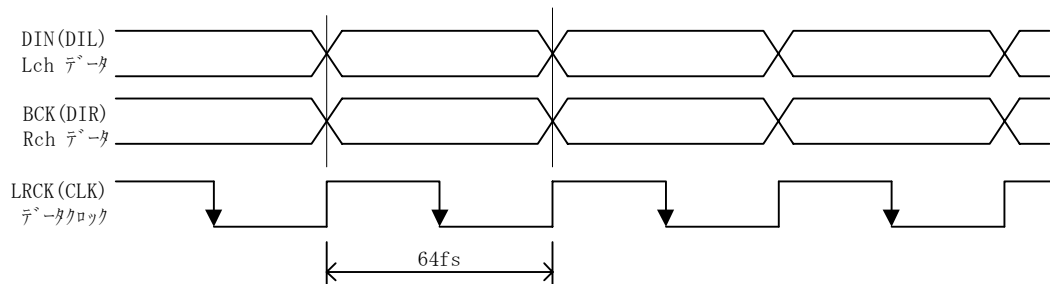
MSBファースト前詰め及びIISフォーマットでは、16bit入力時はLSB以下8bit分のシリアルデータをゼロ固定とし、20bit入力時はLSB以下4bit分のシリアルデータをゼロ固定としてください。



- DIL、DIR、CLK (DSD オーディオデータ入力)

DIN 端子に Lch のデータ(DIL)を、BCK 端子に Rch のデータ(DIR)を入力します。LRCK 端子にはデータクロック(CLK)を入力し、この信号の立下りでデータが取り込まれます。

DSD 信号入力時のシステムクロック(SCK)は、256fsを入力します。SCKとCLKの間の位相関係に規定はありません。



- EMPH1、EMPH0 (ディエンファシス)

EMPH1	EMPH0	ディエンファシス設定	シリアルファンクション設定時
0	0	32kHz	
0	1	44.1kHz	
1	0	48kHz	
1	1	OFF	○

EMPH1、EMPH0によりディエンファシスの ON/OFF と、サンプリング周波数に対応した係数の選択を行います。シリアルファンクション設定でディエンファシス設定をする場合は、EMPH1、0端子を high レベル(ディエンファシス OFF)にしてご使用下さい。

- MUTE (ソフトミュート)

MUTE	ソフトミュート	シリアルファンクション設定時
0	OFF	○
1	ON	

MUTE 端子を high レベルにすると、ソフトミュートが働きます。LOW レベルにするとソフトスタートが働きます。シリアルファンクション設定でソフトミュート、ソフトスタートを行う場合は、MUTE 端子を Low レベル(ソフトミュート OFF)にしてご使用下さい。

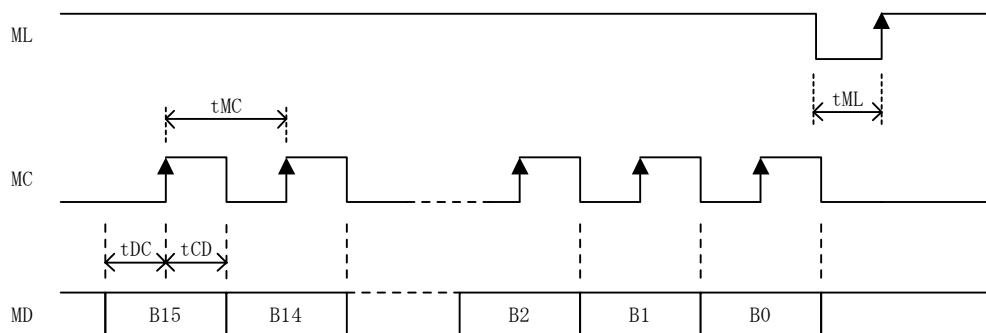
- ML、MC、MD (シリアルファンクション設定)

ファンクション設定は ML、MC、MD の各端子にシリアルデータを送ることにより行います。シリアル設定データは16ビットの MD データにより設定されます。

レジスタマップは下図のようになります。

MODE0	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
	res	res	res	A1	A0	LDL	AL9	AL8	AL7	AL6	AL5	AL4	AL3	AL2	AL1	AL0
MODE1	res	res	res	A1	A0	LDR	AR9	AR8	AR7	AR6	AR5	AR4	AR3	AR2	AR1	AR0
MODE2	res	res	res	A1	A0	OM1	OM0	RST	BIT1	BIT0	ZM1	ZM0	ATC	MUTE	EMPH1	EMPH0

MD、MC、ML 信号の入力タイミングは下図のようになります。



$$T_{mc}(\min) = 200\text{nsec}, t_{DC}(\min) = t_{CD}(\min) = t_{ML}(\min) = 100\text{ns}$$

## ファンクション設定

- A1、A0 (モードレジスタ)

レジスタ	A1	A0
MODE0	0	0
MODE1	0	1
MODE2	1	0

ファンクション設定レジスタには3つのモードレジスタ(MODE0～MODE2)があり、モード選択とデータの書込みは16ビットのシリアルデータで行います。書込みは、まず A1、A0ビットでモードを選択し、他のビットでそれぞれの機能を制御します。

- LDL、AL9～AL0、LDR、AR9～AR0 (アッテネータ)

MODE0、1はアッテネータの制御レジスタで、AL9～AL0(Lch 用)、AR9～AR0(Rch 用)の各ビット(AL9、AR9がMSB。AL0、AR0がLSB)によって1024ステップのアッテネータをL/R独立に設定できます。LDL、LDRはアッテネータ値のセットに用いられ、LDL、LDRのいずれかを“1”にセットすることによりアッテネータの設定値は有効になります。LDL、LDRが“0”の場合、アッテネータの設定値は有効になりますが、実際のアッテネータ値はその前のレベルを保ち、LDLまたはLDRが“1”になった時点で設定したアッテネータ値に更新されます。0dBから $-\infty$ へのアッテネータ値の最小遷移時間は $1024/f_s$ です。アッテネータの減衰量(ATT)は次の計算式で与えられます。

$$ATT = 20 * \log (DATA / 1023) [dB] \quad (DATA:アッテネータ設定値)$$

(計算例)

3FFh : 0dB (初期値)  
 3FEh : -0.00849dB  
 .  
 .  
 001h : -60.1975dB  
 000h :  $-\infty$  (=MUTE)

- RST (リセット)

RST	リセット	初期値
0	OFF	○
1	ON	

内部レジスタのリセットを行います。これにより、設定されたファンクションは「初期値」に初期化されます。RSTレジスタも初期化されます。

- BIT1、BIT0 (ビット数設定)

BIT1	BIT0	ビット数	初期値
0	0	16bit	○
0	1	20bit	
1	0	24bit	

MSB ファースト前詰め、IISフォーマット入力時のデータビット数を選択します。MSB ファースト後詰めフォーマット時は、「初期値」の状態に設定してください。

- ZM1、ZM0 (ゼロ検出出力方式切換)

ZM1	ZM0	出力方式	初期値

0	0	オープントレイン+プルアップ	○
0	1	オープントレイン	
1	0	プッシュプル	

ゼロ検出出力端子である ZEROL、ZEROR の出力モードを切り替えます。

- ATC (アッテネータコントロール)

ATC	アッテネータ制御	初期値
0	Lch / Rch 独立	○
1	Lch / Rch 共通	

アッテネータは ATC=0の時、AL9~AL0を Lch 用、AR9~AR0を Rch 用として使用します。ATC=1の時は、AL9~AL0を Lch/Rch 共通のレジスタとして使用します。

- MUTE (ソフトミュート)

MUTE	ソフトミュート	初期値
0	OFF	○
1	ON	

MUTE=1とするとソフトミュートが動作します。MUTE=0とするとソフトミュートが解除されます。

- EMPH1、EMPH0 (ディエンファシス制御)

EMPH1	EMPH0	ディエンファシス	サンプリング周波数	初期値
0	0	OFF	-	○
0	1	ON	44.1kHz	
1	0	ON	48kHz	
1	1	ON	32kHz	

EMPH1、EMPH0により、ディエンファシスフィルタの ON/OFF 及びサンプリング周波数に対応した係数の選択を行います。

- OM1、OM0 (アナログ出力モード制御)

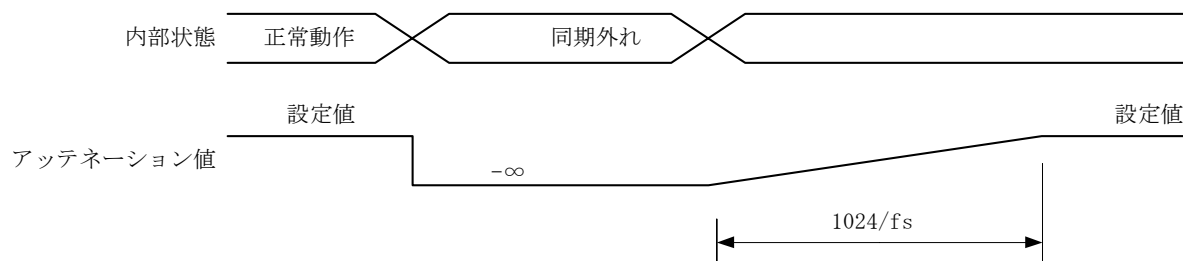
OM1	OM0	OUTLP	OUTLM	OUTRP	OUTRM	初期値
0	0	Lch	Lch の反転	Rch	Rch の反転	○
0	1	Lch	Lch の反転	Lch の反転	Lch	
1	0	Rch の反転	Rch	Rch	Rch の反転	
1	1	Lch	Lch の反転	Rch	Rch の反転	

OM1、OM0により、アナログ出力モードの選択を行います。OM1, 0=0, 1の時は、Lch の差動出力となり、OM1, 0=1, 0の時は、Rch の差動出力となります。

## 同期外れ時の動作

LRCK と SCK 間の位相関係に規定はありませんが、LRCK が SCK に対し SCK の±10クロック以上揺らいだ場合、内部で再同期をかけるため動作が不連続になります。この不連続な動作はアナログ信号に影響を与えま

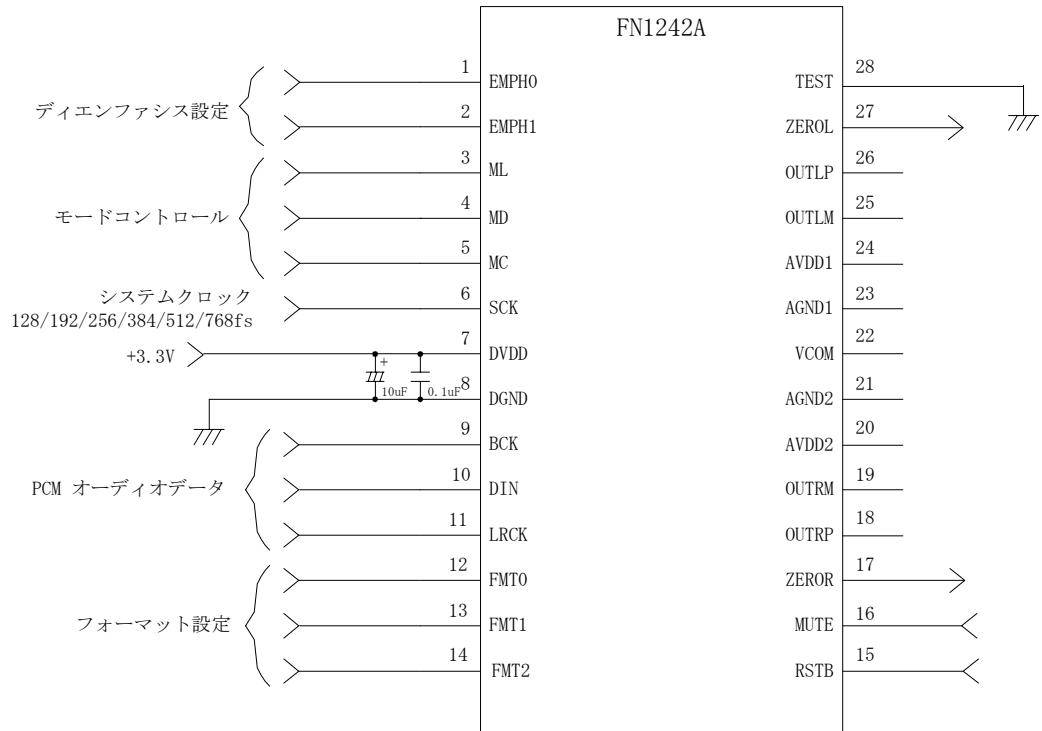
す。この影響を最小限に抑えるため、同期外れを検出した時点で出力を BPZ へ強制的に固定します。同期が確定した時点から、デジタルアッテネータを使用し所定のアッテネータ設定値へ戻します。



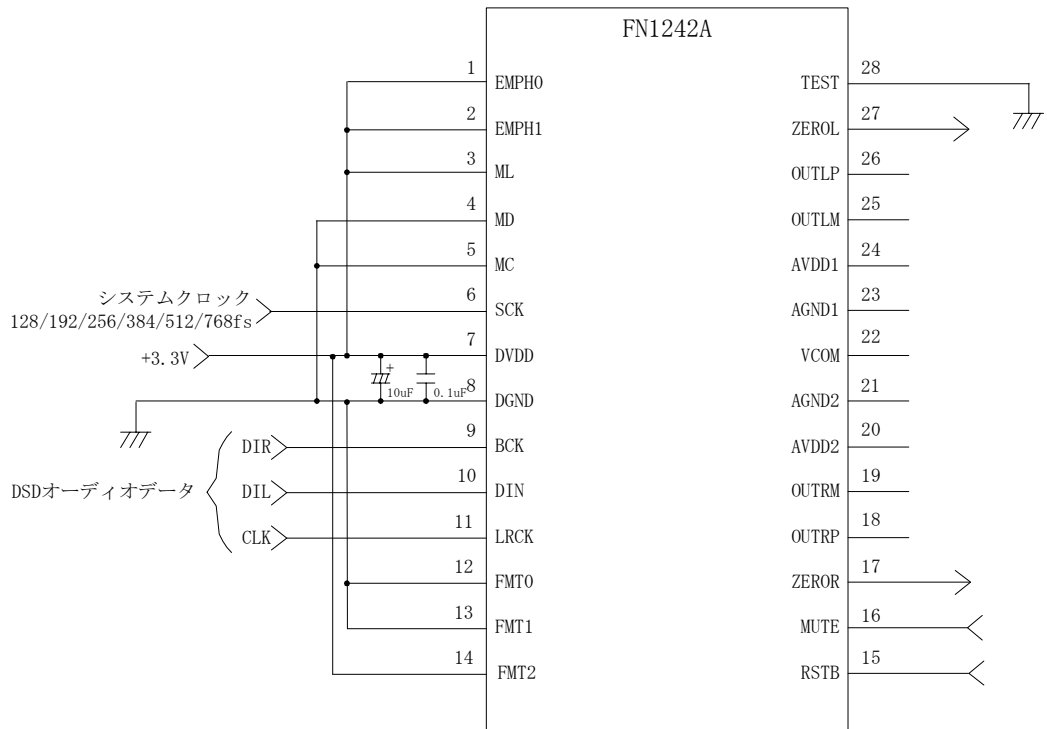


## アプリケーション例

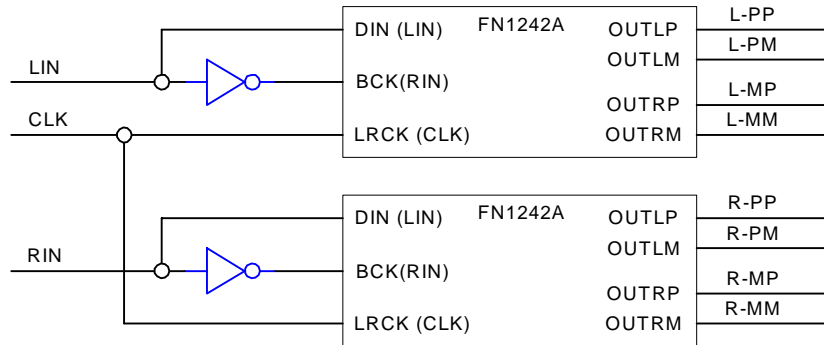
- PCM オーディオ入力接続図



- DSD 入力接続図

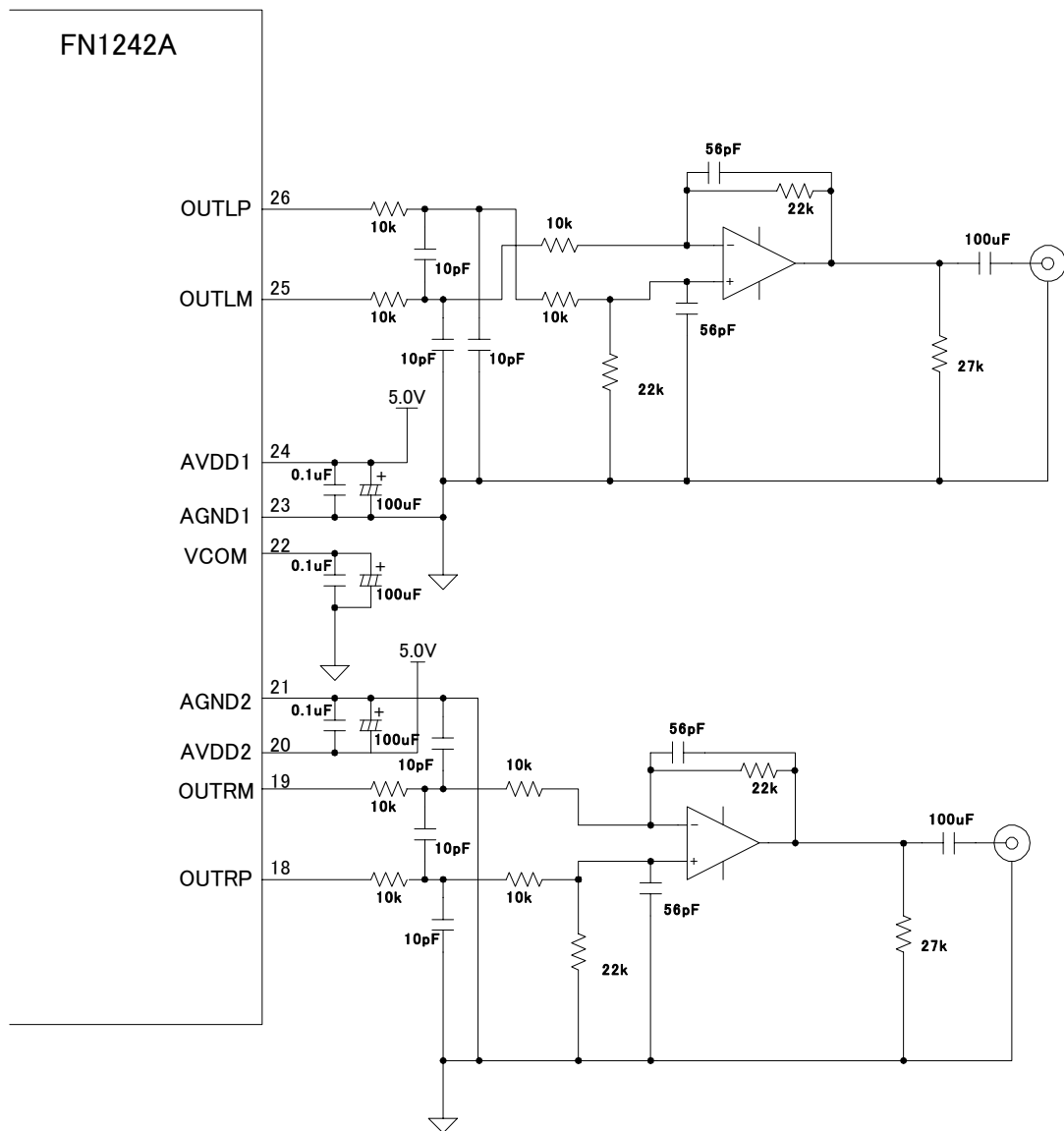


- DSD1チップ差動出力接続図



DSD 動作モードで1チップから差動出力にする場合は、上記のような接続をして下さい。  
 PCM 動作で1チップから差動出力にする場合は、ファンクション設定の OM0、OM1を設定して下さい。

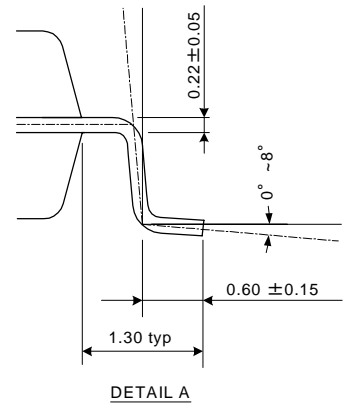
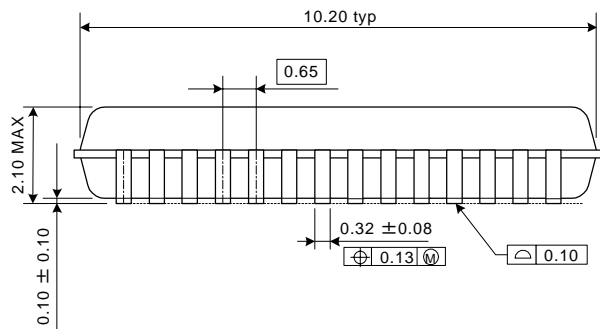
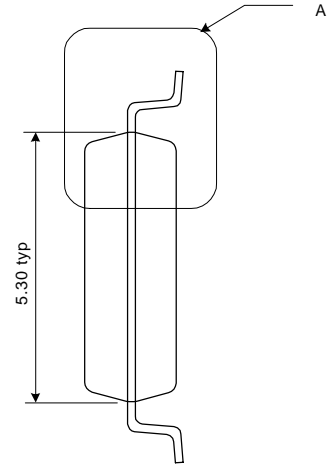
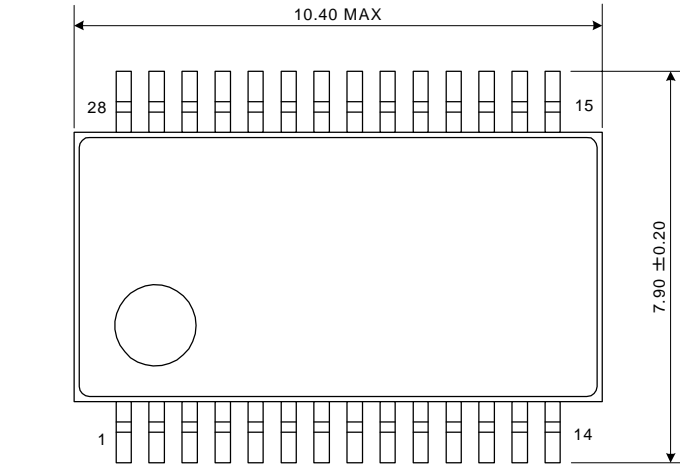
- アナログ部接続図



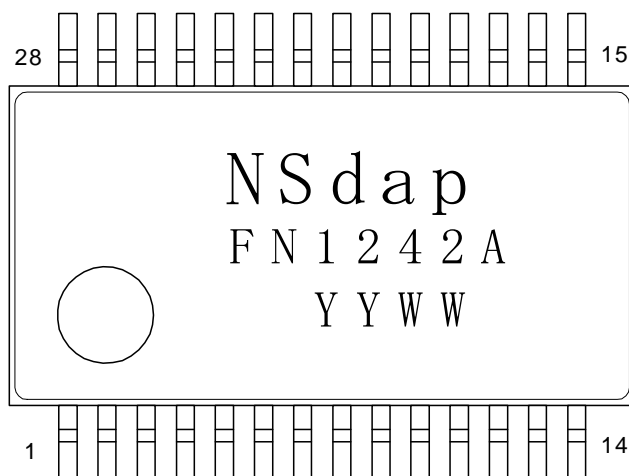
## パッケージ及びマーキング

- パッケージ

SSOP-28 (Unit : mm)



- マーキング



YY: Year Code  
 WW: Week Code

## 使用上の注意事項

本資料に記載された製品及び製品の仕様は、製品改善及び技術改良等のため、予告なく変更することがございます。製品をご使用の際には、必ず最新の情報及び仕様をご確認ください。回路図等は、応用例の参考として示したものです。実際の機器搭載を目的にしたものではありませんので、これら回路例等に起因する障害の責任は負いかねます。また、使用に起因する第三者の特許権、及び他の権利に対する実施権の許諾または保証を行うものではありません。設計に際しては、最大定格・電圧範囲・放熱特性など保証範囲内でご使用ください。保証値を逸脱した使用・誤った使用・不適切な使用に起因する結果につきましては、当社は責任を負いかねますのでご了承ください。当社は品質、信頼性の向上に努めておりますが、一般に半導体はある確率で故障・誤動作することがございます。ご使用に際しては、このような故障が生じても直接人命を脅かしたり、身体及び財産に危害を加えたりしないよう、購入者側の責任において装置やシステム上で十分な安全設計をお願いします。

当社半導体デバイス製品は、マルチメディア機器・計測用の関連機器に搭載されることを意図しています。生命維持用の人命に関わる装置、または航空宇宙用等の極めて高い信頼性が要求されるような特別な用途にご使用をお考えのお客様は、必ず当社営業までご連絡ください。ご相談なく使用されたことにより発生した損害については責任を負いかねますのでご了承ください。製品の中には、「外国為替及び外国貿易管理法」に基づく戦略物資に該当するものがございます。該当品を輸出する場合には、同法に基づく日本国政府の輸出許可証が必要になります。

製品の材料には、GaAs(ガリウムヒ素)が使われているものがあります。その粉末や蒸気は人体に危険です。破壊・切断・粉砕や化学的な分解等を行わないでください。また、製品を破棄する場合は、法規に従い、一般産業廃棄物や家庭用ゴミとは混ぜないでください。

本資料に関して不明な点がございましたら、弊社営業までご連絡くださいますようお願いいたします。

© Copyright 2001

新潟精密株式会社