



AK4396

Advanced Multi-Bit 192kHz 24-Bit $\Delta\Sigma$ DAC

概 要

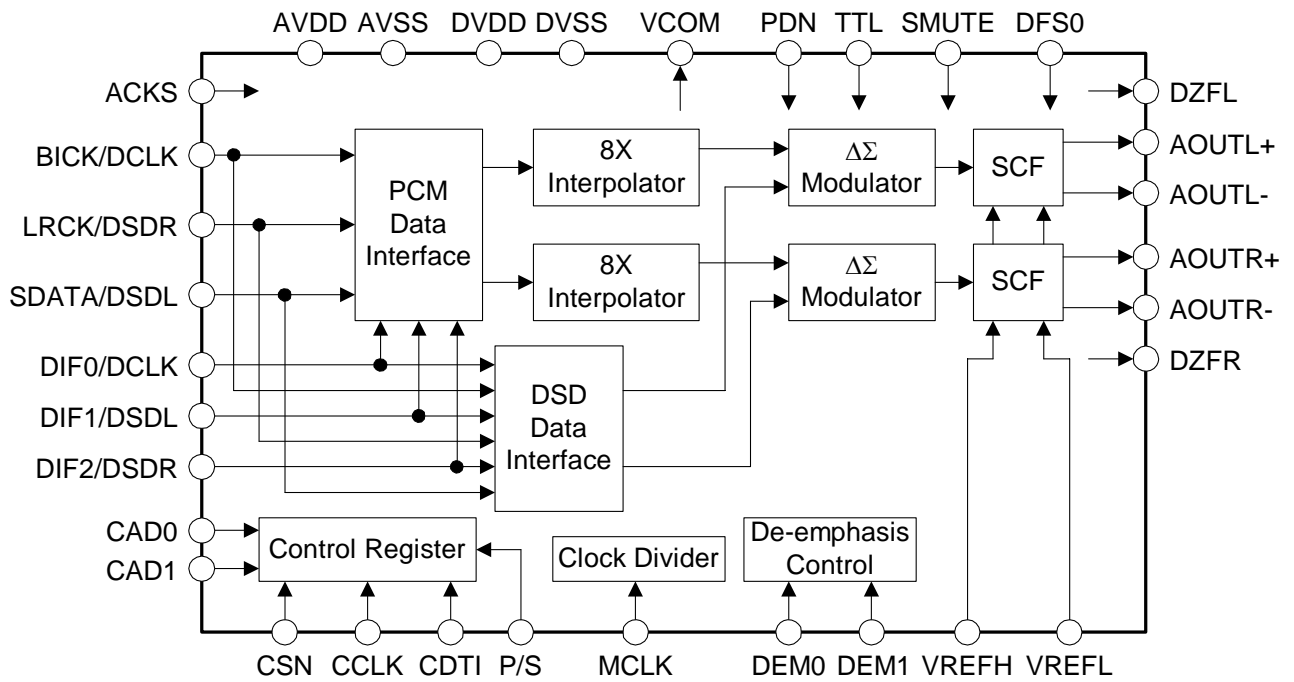
AK4396は、DVD-Audioの192kHzサンプリングモードに対応した高性能24ビットDACです。 $\Delta\Sigma$ 変調器には新開発のアドバンスド・マルチビット方式を採用、従来のシングルビット方式の優れた低歪特性に加えて、さらに広いダイナミックレンジを実現しています。内蔵のポストフィルタにはスイッチトキャパシタフィルタ(SCF)を採用し、クロックジッタによる精度の劣化を改善します。デジタル入力は192kHzのPCM入力とDSD入力の両方に対応しており、DVD-Audio, SACD等のシステムに最適です。AK4396はAK4393/4/5と機能的な互換性を持ちかつ低消費電力を実現します。

特 長

- 128倍オーバサンプリング
- サンプリングレート: 30kHz ~ 216kHz
- 24ビット8倍デジタルフィルタ(スローロールオフ オプション) 内蔵
 - Ripple: ± 0.005 dB, Attenuation: 75dB
- 強ジッタ耐力
- 低歪差動出力
- DSD入力対応
- 32, 44.1, 48kHz対応デジタルディエンファシス内蔵
- ソフトミュート
- デジタルATT(リニア 256ステップ)
- THD+N: -100 dB
- DR, S/N: 120dB
- オーディオI/Fフォーマット: 24ビット前詰め, 16/20/24ビット後詰め, I²S, DSD
- マスタクロック
 - 通常速 : 256fs, 384fs, 512fs, 768fs or 1152fs
 - 2倍速 : 128fs, 192fs, 256fs or 384fs
 - 4倍速 : 128fs or 192fs
 - DSD : 512fs or 768fs
- 電源電圧: 5V \pm 5%(アナログ), 3.0 ~ 5.25V(デジタル)
- デジタル入力レベル: CMOS or TTL
- パッケージ: 28ピンVSOP
- AK4393/4/5ピン互換



■ ブロック図



Block Diagram

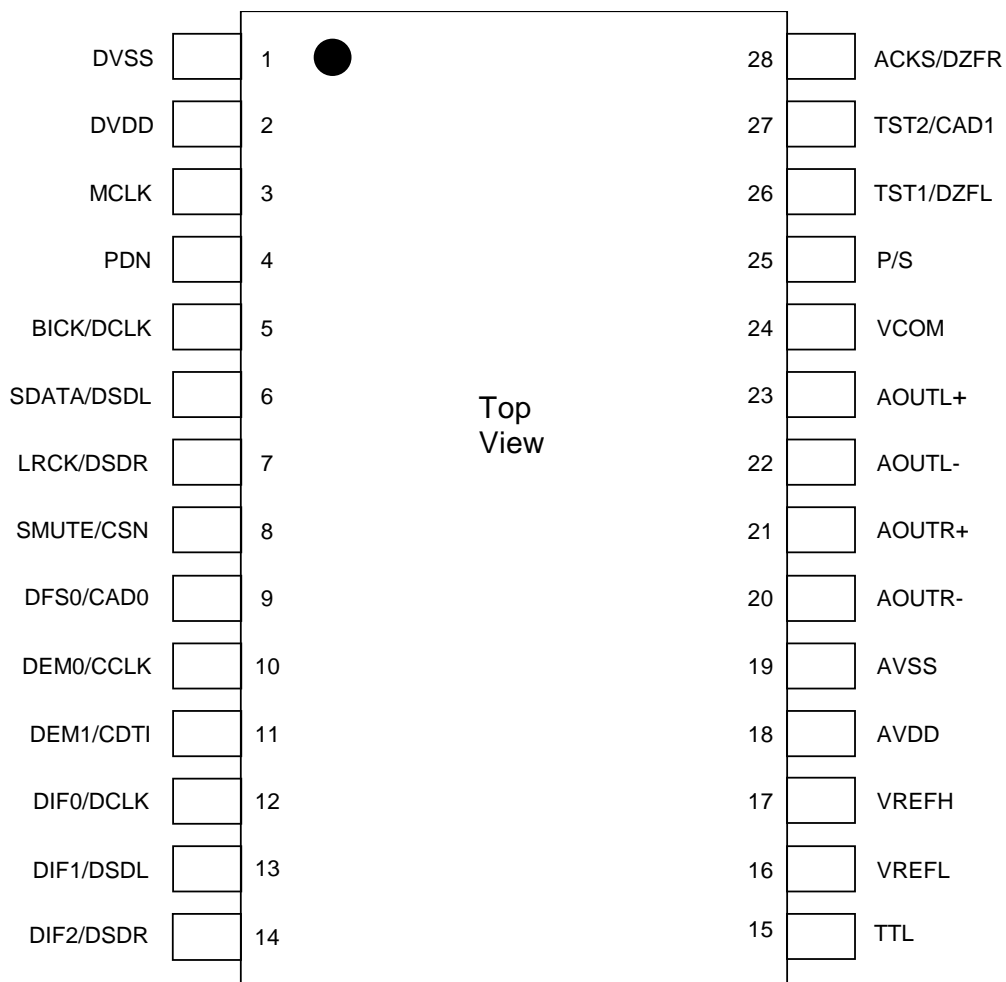
■ オーダリングガイド

AK4396VF
AKD4396

-40 ~ +85°C
AK4396評価用ボード

28pin VSOP (0.65mm pitch)

■ ピン配置



■ AK4393/4/5との互換性

1. Function & Performance

	AK4393	AK4394	AK4395	AK4396
fs (max)	108kHz	216kHz	216kHz	216kHz
DVDD	3 ~ 5.25V	4.75 ~ 5.25V	4.75 ~ 5.25V	3 ~ 5.25V
Power Dissipation	310mW	325mW	335mW	200mW
Digital Input Level	CMOS	TTL	TTL	CMOS/TTL
DF Stopband Attenuation	75dB	75dB	110dB	75dB
Digital Volume	Not available	Not available	256 levels, 0.5dB	256 levels, Linear
μP I/F Address Pin	Not available	Not available	CAD0/1	CAD0/1
De-emphasis Filter	32k, 44.1k, 48k, 96k	32k, 44.1k, 48k, 96k	32k, 44.1k, 48k	32k, 44.1k, 48k
Optional DF	Not available	Slow Roll-off	Slow Roll-off	Slow Roll-off
Zero Detection Pin	Not available	DZFL/R	DZFL/R	DZFL/R
DSD Mode	No	No	No	Yes
Pin #15	BVSS	BVSS	BVSS	TTL
Pin #26 (Serial mode)	CKS0	DZFL	DZFL	DZFL
Pin #28 (Serial mode)	CKS2	DZFR	DZFR	DZFR

2. Pin Configuration

Pin #	AK4393	AK4394	AK4395	AK4396
1	DVSS	DVSS	DVSS	DVSS
2	DVDD	DVDD	DVDD	DVDD
3	MCLK	MCLK	MCLK	MCLK
4	PDN	PDN	PDN	PDN
5	BICK	BICK	BICK	BICK
6	SDATA	SDATA	SDATA	SDATA
7	LRCK	LRCK	LRCK	LRCK
8	SMUTE/CSN	SMUTE/CSN	SMUTE/CSN	SMUTE/CSN
9	DFS0	DFS0	DFS0/CAD0	DFS0/CAD0
10	DEM0/CCLK	DEM0/CCLK	DEM0/CCLK	DEM0/CCLK
11	DEM1/CDTI	DEM1/CDTI	DEM1/CDTI	DEM1/CDTI
12	DIF0	DIF0	DIF0	DIF0
13	DIF1	DIF1	DIF1	DIF1
14	DIF2	DIF2	DIF2	DIF2
15	BVSS	BVSS	BVSS	TTL
16	VREFL	VREFL	VREFL	VREFL
17	VFEFH	VFEFH	VFEFH	VFEFH
18	AVDD	AVDD	AVDD	AVDD
19	AVSS	AVSS	AVSS	AVSS
20	AOUTR-	AOUTR-	AOUTR-	AOUTR-
21	AOUTR+	AOUTR+	AOUTR+	AOUTR+
22	AOUTL-	AOUTL-	AOUTL-	AOUTL-
23	AOUTL+	AOUTL+	AOUTL+	AOUTL+
24	VCOM	VCOM	VCOM	VCOM
25	P/S	P/S	P/S	P/S
26	CKS0	CKS0/DZFL	CKS0/DZFL	TST1/DZFL
27	CKS1	CKS1	CKS1/CAD1	TST2/CAD1
28	CKS2	CKS2/DZFR	ACKS/DZFR	ACKS/DZFR

TST1-2: パラレルモード時Don't care.

3. パラレルモード時のCKS2-0の互換性

AK4393/4/5					AK4396		
CKS2	CKS1	CKS0	DFS0=0	DFS0=1	ACKS	DFS0=0	DFS0=1
0	0	0	256fs	128fs	0	256fs	128fs
0	0	1	256fs	256fs	0	256fs	256fs
0	1	0	384fs	192fs	0	384fs	192fs
0	1	1	384fs	384fs	0	384fs	384fs
1	0	0	512fs	256fs	1	512fs	256fs
1	0	1	512fs	N/A	1	512fs	N/A
1	1	0	768fs	384fs	1	768fs	384fs
1	1	1	768fs	N/A	1	768fs	N/A

: DFS0の設定は関係ありません

4. Register map

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	ACKS	0	0	0	DIF2	<i>DIF1</i>	DIF0	RSTN
01H	Control 2	DZFE	DZFM	SLOW	DFS1	DFS0	DEM1	<i>DEM0</i>	SMUTE
02H	Control 3	D/P	DSDM	DCKS	DCKB	0	DZFB	0	0
03H	Lch ATT Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
04H	Rch ATT Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0

: Changing points from AK4393's register.
Italic means the default value differs from AK4393.

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	ACKS	0	0	0	DIF2	<i>DIF1</i>	DIF0	RSTN
01H	Control 2	DZFE	DZFM	SLOW	DFS1	DFS0	DEM1	<i>DEM0</i>	SMUTE
02H	Control 3	D/P	DSDM	DCKS	DCKB	0	DZFB	0	0
03H	Lch ATT Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
04H	Rch ATT Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0

: Changing points from AK4394's register.
Italic means the default value differs from AK4394.

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	<i>ACKS</i>	0	0	0	DIF2	<i>DIF1</i>	DIF0	RSTN
01H	Control 2	DZFE	DZFM	SLOW	DFS1	DFS0	DEM1	DEM0	SMUTE
02H	Control 3	D/P	DSDM	DCKS	DCKB	0	DZFB	0	0
03H	Lch ATT Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
04H	Rch ATT Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0

: Changing points from AK4395's register.
Italic means the default value differs from AK4395.

ピン/機能

No.	Pin Name	I/O	Function
1	DVSS	-	Digital Ground Pin
2	DVDD	-	Digital Power Supply Pin, 3.3V or 5.0V
3	MCLK	I	Master Clock Input Pin
4	PDN	I	Power-Down Mode Pin When at "L", the AK4396 is in power-down mode and is held in reset. The AK4396 should always be reset upon power-up.
5	BICK	I	Audio Serial Data Clock Pin in PCM mode
	DCLK	I	DSD Clock Pin in DSD mode
6	SDATA	I	Audio Serial Data Input Pin in PCM mode
	DSDL	I	DSD Lch Data Input Pin in DSD mode
7	LRCK	I	L/R Clock Pin in PCM mode
	DSDR	I	DSD Rch Data Input Pin in DSD mode
8	SMUTE	I	Soft Mute Pin in parallel mode When this pin goes "H", soft mute cycle is initiated. When returning "L", the output mute releases.
	CSN	I	Chip Select Pin in serial mode
9	DFS0	I	Sampling Speed Mode Select Pin in parallel mode (Internal pull-down pin)
	CAD0	I	Chip Address 0 Pin in serial mode (Internal pull-down pin)
10	DEM0	I	De-emphasis Enable 0 Pin in parallel mode
	CCLK	I	Control Data Clock Pin in serial mode
11	DEM1	I	De-emphasis Enable 1 Pin in parallel mode
	CDTI	I	Control Data Input Pin in serial mode
12	DIF0	I	Digital Input Format 0 Pin in PCM mode
	DCLK	I	DSD Clock Pin in DSD mode
13	DIF1	I	Digital Input Format 1 Pin in PCM mode
	DSDL	I	DSD Lch Data Input Pin in DSD mode
14	DIF2	I	Digital Input Format 2 Pin in PCM mode
	DSDR	I	DSD Rch Data Input Pin in DSD mode

Note: All input pins except internal pull-up/down pins should not be left floating.

15	TTL	I	CMOS/TTL Level Select Pin “L”: CMOS Level, “H”: TTL Level	(Internal pull-up pin)
16	VREFL	I	Low Level Voltage Reference Input Pin	
17	VREFH	I	High Level Voltage Reference Input Pin	
18	AVDD	-	Analog Power Supply Pin, 5.0V	
19	AVSS	-	Analog Ground Pin	
20	AOUTR-	O	Rch Negative Analog Output Pin	
21	AOUTR+	O	Rch Positive Analog Output Pin	
22	AOUTL-	O	Lch Negative Analog Output Pin	
23	AOUTL+	O	Lch Positive Analog Output Pin	
24	VCOM	O	Common Voltage Output Pin, AVDD/2	
25	P/S	I	Parallel/Serial Select Pin “L”: Serial Mode, “H”: Parallel Mode	(Internal pull-up pin)
26	TST1	O	Test 1 Pin in parallel mode	(Don't Care)
	DZFL	O	Lch Zero Input Detect Pin in serial mode	
27	TST2	I	Test 2 Pin in parallel mode	(Internal pull-down pin)
	CAD1	I	Chip Address 1 Pin in serial mode	(Internal pull-down pin)
28	ACKS	I	Master Clock Auto Setting Mode Pin in parallel mode	
	DZFR	O	Rch Zero Input Detect Pin in serial mode	

Note: All input pins except internal pull-up/down pins should not be left floating.

Note: TST1 pinはパラレルモード時、Hi-Z出力となります。

■ 使用しないピンの処理について

使用しない入出力ピンは下記の設定を行い、適切に処理して下さい。

(1) パラレルモード (PCMモードのみ)

区分	ピン名	設定
Analog	AOUTL+, AOUTL-	オープン
	AOUTR+, AOUTR-	オープン
Digital	SMUTE	DVSSに接続
	TST1	オープン
	TST2	DVSSに接続

(2) シリアルモード

1. PCMモード

区分	ピン名	設定
Analog	AOUTL+, AOUTL-	オープン
	AOUTR+, AOUTR-	オープン
Digital	DIF2, DIF1, DIF0	DVSSに接続
	DZFL, DZFR	オープン

2. DSDモード

- ・ #5, #6, #7ピンのDCLK, DSDL, DSDRを使用する場合

区分	ピン名	設定
Analog	AOUTL+, AOUTL-	オープン
	AOUTR+, AOUTR-	オープン
Digital	DCLK(#12), DSDL(#13), DSDR(#14)	DVSSに接続
	DZFL, DZFR	オープン

- ・ #12, #13, #14ピンのDCLK, DSDL, DSDRを使用する場合

区分	ピン名	設定
Analog	AOUTL+, AOUTL-	オープン
	AOUTR+, AOUTR-	オープン
Digital	DCLK(#5), DSDL(#6), DSDR(#7)	DVSSに接続
	DZFL, DZFR	オープン

絶対最大定格

(AVSS, DVSS=0V; Note 1)

Parameter		Symbol	min	max	Units
Power Supplies:	Analog	AVDD	-0.3	6.0	V
	Digital	DVDD	-0.3	6.0	V
	AVSS - DVSS (Note 2)	ΔGND	-	0.3	V
Input Current, Any Pin Except Supplies		IIN	-	±10	mA
Digital Input Voltage		VIND	-0.3	DVDD+0.3	V
Ambient Temperature (Power applied)		Ta	-40	85	°C
Storage Temperature		Tstg	-65	150	°C

Note 1. 電圧は全てグランドピンに対する値です。

Note 2. AVSS, DVSSは同じアナロググランドに接続して下さい。

注意：この値を超えた条件で使用した場合、デバイスを破壊することがあります。
また通常の動作は保証されません。

推奨動作条件

(AVSS, DVSS=0V; Note 1)

Parameter		Symbol	min	typ	max	Units
Power Supplies (Note 3)	Analog	AVDD	4.75	5.0	5.25	V
	Digital	DVDD	3.0	5.0	5.25	V
Voltage Reference (Note 4)	“H” voltage reference	VREFH	AVDD-0.5	-	AVDD	V
	“L” voltage reference	VREFL	AVSS	-	-	V
	VREFH - VREFL	ΔVREF	3.0	-	AVDD	V

Note 1. 電圧は全てグランドピンに対する値です。

Note 3. AVDDとDVDDの電源立ち上げシーケンスを考慮する必要はありません。

Note 4. アナログ出力電圧は(VREFH - VREFL)の電圧に比例します。

$$AOUT (\text{typ.}@0\text{dB}) = (AOUT+) - (AOUT-) = \pm 2.8V_{pp} \times (VREFH - VREFL)/5.$$

注意：本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので
十分ご注意ください。

アナログ特性

(Ta=25°C; AVDD=DVDD=5.0V; AVSS=DVSS=0V; VREFH=AVDD, VREFL=AVSS; Input data = 24bit; $R_L \geq 1k\Omega$; BICK=64fs; Signal Frequency = 1kHz; Sampling Frequency = 44.1kHz; Measurement bandwidth = 20Hz ~ 20kHz; External Circuit: Figure 17; unless otherwise specified.)

Parameter		min	typ	max	Units	
Resolution				24	Bits	
Dynamic Characteristics (Note 5)						
THD+N	fs=44.1kHz	0dBFS		-100	-90	dB
	BW=20kHz	-60dBFS		-57	-	dB
	fs=96kHz	0dBFS		-97	-	dB
	BW=40kHz	-60dBFS		-54	-	dB
	fs=192kHz	0dBFS		-97	-	dB
	BW=40kHz	-60dBFS		-54	-	dB
	BW=80kHz	-60dBFS		-51	-	dB
Dynamic Range (-60dBFS with A-weighted)		(Note 6)	114	120		dB
S/N (A-weighted)		(Note 7)	114	120		dB
Interchannel Isolation (1kHz)			100	120		dB
DC Accuracy						
Interchannel Gain Mismatch				0.15	0.3	dB
Gain Drift		(Note 8)		20	-	ppm/°C
Output Voltage		(Note 9)	±2.65	±2.8	±2.95	Vpp
Load Capacitance					25	pF
Load Resistance		(Note 10)	1			kΩ
Power Supplies						
Power Supply Current						
	Normal operation (PDN pin = "H")		(Note 11)			
	AVDD			32	47	mA
	DVDD (fs ≤ 96kHz)			8	-	mA
	DVDD (fs = 192kHz)			13	19	mA
	Power down (PDN pin = "L")		(Note 12)			
AVDD+DVDD			10	100	μA	
Power Supply Rejection		(Note 13)		50		dB

Note 5. Audio Precision System Two使用。平均値測定。測定結果は評価ボードマニュアルを参照下さい。

Note 6. Figure 17 (回路例2)使用時。101dB at 16bit data and 118dB at 20bit data.

Note 7. Figure 17 (回路例2)使用時。S/N比は入力ビット長に依存しません。

Note 8. (VREFH - VREFL)の電圧は+5V一定。

Note 9. フルスケール電圧(0dB)。出力電圧は(VREFH - VREFL)の電圧に比例します。

$$AOUT (\text{typ. @0dB}) = (AOUT+) - (AOUT-) = \pm 2.8V_{pp} \times (VREFH - VREFL)/5.$$

Note 10. AC負荷に対して。DC負荷がある場合は1.5k です。

Note 11. DVDD=3.3V時、typ. 5mA (@ fs ≤ 96kHz)、typ. 8mA (@ fs = 192kHz)です。

Note 12. パワーダウン時、P/S pin = TTL pin = DVDD、それ以外の外部クロック(MCLK, BICK, LRCK)を含む全てのデジタル入力をDVSSに固定した場合の値です。

Note 13. VREFH pinを+5Vに固定して、AVDD, DVDDに1kHz, 100mVppの正弦波を重畳した場合の値です。

シャープロールオフ・フィルタ特性($f_s = 44.1\text{kHz}$)

($T_a=25^\circ\text{C}$; $AVDD=4.75 \sim 5.25\text{V}$, $DVDD=3.0 \sim 5.25\text{V}$; Normal Speed Mode; DEM=OFF; SLOW bit="0")

Parameter	Symbol	min	typ	max	Units
Digital Filter					
Passband (Note 14)	$\pm 0.01\text{dB}$ -6.0dB	PB	0		kHz
			-	22.05	kHz
Stopband (Note 14)	SB	24.1			kHz
Passband Ripple	PR			± 0.005	dB
Stopband Attenuation	SA	75			dB
Group Delay (Note 15)	GD	-	28	-	1/fs
Digital Filter + SCF					
Frequency Response: 0 ~ 20.0kHz		-	± 0.2	-	dB

シャープロールオフ・フィルタ特性($f_s = 96\text{kHz}$)

($T_a=25^\circ\text{C}$; $AVDD=4.75 \sim 5.25\text{V}$, $DVDD=3.0 \sim 5.25\text{V}$; Double Speed Mode; DEM=OFF; SLOW bit="0")

Parameter	Symbol	min	typ	max	Units
Digital Filter					
Passband (Note 14)	$\pm 0.01\text{dB}$ -6.0dB	PB	0		kHz
			-	48.0	kHz
Stopband (Note 14)	SB	52.5			kHz
Passband Ripple	PR			± 0.005	dB
Stopband Attenuation	SA	75			dB
Group Delay (Note 15)	GD	-	28	-	1/fs
Digital Filter + SCF					
Frequency Response: 0 ~ 40.0kHz		-	± 0.3	-	dB

シャープロールオフ・フィルタ特性($f_s = 192\text{kHz}$)

($T_a=25^\circ\text{C}$; $AVDD=4.75 \sim 5.25\text{V}$, $DVDD=3.0 \sim 5.25\text{V}$; Quad Speed Mode; DEM=OFF; SLOW bit="0")

Parameter	Symbol	min	typ	max	Units
Digital Filter					
Passband (Note 14)	$\pm 0.01\text{dB}$ -6.0dB	PB	0		kHz
			-	96.0	kHz
Stopband (Note 14)	SB	105			kHz
Passband Ripple	PR			± 0.005	dB
Stopband Attenuation	SA	75			dB
Group Delay (Note 15)	GD	-	28	-	1/fs
Digital Filter + SCF					
Frequency Response: 0 ~ 80.0kHz		-	+0/-1	-	dB

Note 14. 通過域、阻止域の周波数は f_s (システムサンプリングレート)に比例し、 $PB = 0.4535 \times f_s$ (@ $\pm 0.01\text{dB}$)、 $SB = 0.546 \times f_s$ です。

Note 15. デジタルフィルタによる演算遅延で、16/20/24ビットデータが入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。

スローロールオフ・フィルタ特性($f_s = 44.1\text{kHz}$)

(Ta=25°C; AVDD=4.75 ~ 5.25V, DVDD=3.0 ~ 5.25V; Normal Speed Mode; DEM=OFF; SLOW bit="1")

Parameter	Symbol	min	typ	max	Units
Digital Filter					
Passband (Note 16)	±0.04dB -3.0dB	PB	0		kHz
			-	18.2	kHz
Stopband (Note 16)	SB	39.2			kHz
Passband Ripple	PR			±0.005	dB
Stopband Attenuation	SA	72			dB
Group Delay (Note 15)	GD	-	28	-	1/fs
Digital Filter + SCF					
Frequency Response: 0 ~ 20.0kHz		-	+0/-5	-	dB

スローロールオフ・フィルタ特性($f_s = 96\text{kHz}$)

(Ta=25°C; AVDD=4.75 ~ 5.25V, DVDD=3.0 ~ 5.25V; DEM=OFF; SLOW bit="1")

Parameter	Symbol	min	typ	max	Units
Digital Filter					
Passband (Note 16)	±0.04dB -3.0dB	PB	0		kHz
			-	39.6	kHz
Stopband (Note 16)	SB	85.3			kHz
Passband Ripple	PR			±0.005	dB
Stopband Attenuation	SA	72			dB
Group Delay (Note 15)	GD	-	28	-	1/fs
Digital Filter + SCF					
Frequency Response: 0 ~ 40.0kHz		-	+0/-4	-	dB

スローロールオフ・フィルタ特性($f_s = 192\text{kHz}$)

(Ta=25°C; AVDD=4.75 ~ 5.25V, DVDD=3.0 ~ 5.25V; Quad Speed Mode; DEM=OFF; SLOW bit="1")

Parameter	Symbol	min	typ	max	Units
Digital Filter					
Passband (Note 16)	±0.04dB -3.0dB	PB	0		kHz
			-	79.1	kHz
Stopband (Note 16)	SB	171			kHz
Passband Ripple	PR			±0.005	dB
Stopband Attenuation	SA	72			dB
Group Delay (Note 15)	GD	-	28	-	1/fs
Digital Filter + SCF					
Frequency Response: 0 ~ 80.0kHz		-	+0/-5	-	dB

Note 16. 通過域、阻止域の周波数は f_s (システムサンプリングレート)に比例し、PB = $0.185 \times f_s$ (@±0.04dB)、SB = $0.888 \times f_s$ です。

DC特性 (CMOS Level Mode)

(Ta=25°C; AVDD=4.75 ~ 5.25V, DVDD=3.0 ~ 5.25V, TTL pin="L")

Parameter	Symbol	min	typ	max	Units
High-Level Input Voltage	VIH	70% DVDD	-	-	V
Low-Level Input Voltage	VIL	-	-	30% DVDD	V
High-Level Output Voltage (Iout=-100μA)	VOH	DVDD-0.5	-	-	V
Low-Level Output Voltage (Iout=100μA)	VOL	-	-	0.5	V
Input Leakage Current (Note 17)	Iin	-	-	±10	μA

DC特性 (TTL Level Mode)

(Ta=25°C; AVDD=4.75 ~ 5.25V, DVDD=4.75 ~ 5.25V; TTL pin="H")

Parameter	Symbol	min	typ	max	Units
High-Level Input Voltage (TTL pin)	VIH	70% DVDD	-	-	V
(All pins except TTL pin)	VIH	2.2	-	-	V
Low-Level Input Voltage (TTL pin)	VIL	-	-	30% DVDD	V
(All pins except TTL pin)	VIL	-	-	0.8	V
High-Level Output Voltage (Iout=-100μA)	VOH	DVDD-0.5	-	-	V
Low-Level Output Voltage (Iout=100μA)	VOL	-	-	0.5	V
Input Leakage Current (Note 17)	Iin	-	-	±10	μA

Note 17. DFS0, TTL, P/S, TST2 pin は内部でプルダウンまたはプルアップされています。(typ. 100kΩ)

スイッチング特性

(Ta=25°C; AVDD=4.75 ~ 5.25V, DVDD=3.0 ~ 5.25V)

Parameter	Symbol	min	typ	max	Units
Master Clock Timing					
Frequency	fCLK	7.7		41.472	MHz
Duty Cycle	dCLK	40		60	%
LRCK Frequency (Note 18)					
Normal Speed Mode	fsn	30		54	kHz
Double Speed Mode	fsd	54		108	kHz
Quad Speed Mode	fsq	108		216	kHz
Duty Cycle	Duty	45		55	%
PCM Audio Interface Timing					
BICK Period					
Normal Speed Mode	tBCK	1/128fsn			ns
Double Speed Mode	tBCK	1/64fsd			ns
Quad Speed Mode	tBCK	1/64fsq			ns
BICK Pulse Width Low	tBCKL	30			ns
BICK Pulse Width High	tBCKH	30			ns
BICK “↑” to LRCK Edge (Note 19)	tBLR	20			ns
LRCK Edge to BICK “↑” (Note 19)	tLRB	20			ns
SDATA Hold Time	tSDH	20			ns
SDATA Setup Time	tSDS	20			ns
DSD Audio Interface Timing					
DCLK Period	tDCK	1/64fs			ns
DCLK Pulse Width Low	tDCKL	160			ns
DCLK Pulse Width High	tDCKH	160			ns
DCLK Edge to DSDL/R (Note 20)	tDDD	-20		20	ns
Control Interface Timing					
CCLK Period	tCCK	200			ns
CCLK Pulse Width Low	tCCKL	80			ns
Pulse Width High	tCCKH	80			ns
CDTI Setup Time	tCDS	50			ns
CDTI Hold Time	tCDH	50			ns
CSN High Time	tCSW	150			ns
CSN “↓” to CCLK “↑”	tCSS	50			ns
CCLK “↑” to CSN “↑”	tCSH	50			ns
Reset Timing					
PDN Pulse Width (Note 21)	tPD	150			ns

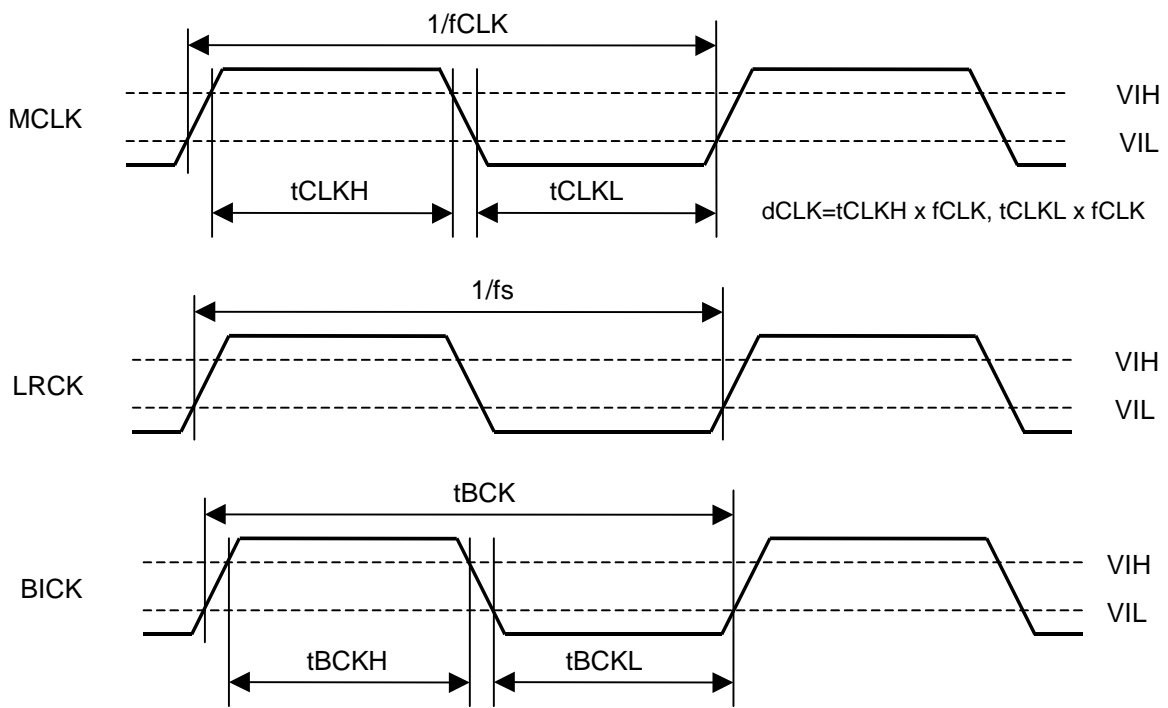
Note 18. 通常速モード、2倍速モード、4倍速モードを切り替えた場合はPDN pinまたはRSTN bitでリセットして下さい。

Note 19. この規格値はLRCKのエッジとBICKの“↑”が重ならないように規定しています。

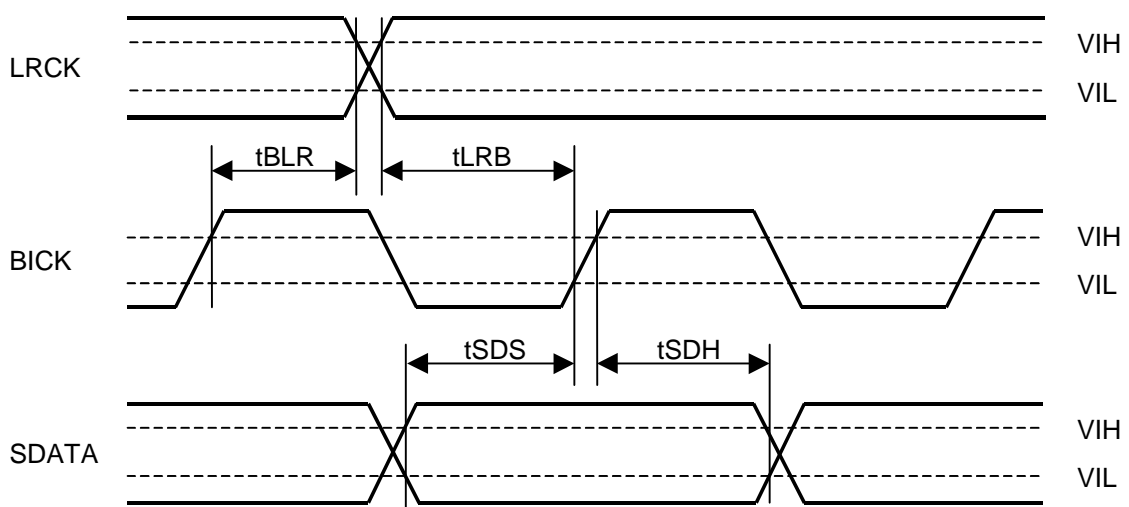
Note 20. データ送信側に要求される値です。

Note 21. 電源投入時はPDN pinを“L”から“H”にすることでリセットがかかります。DFS1-0 bitを切り替えた場合はRSTN bitでリセットして下さい。

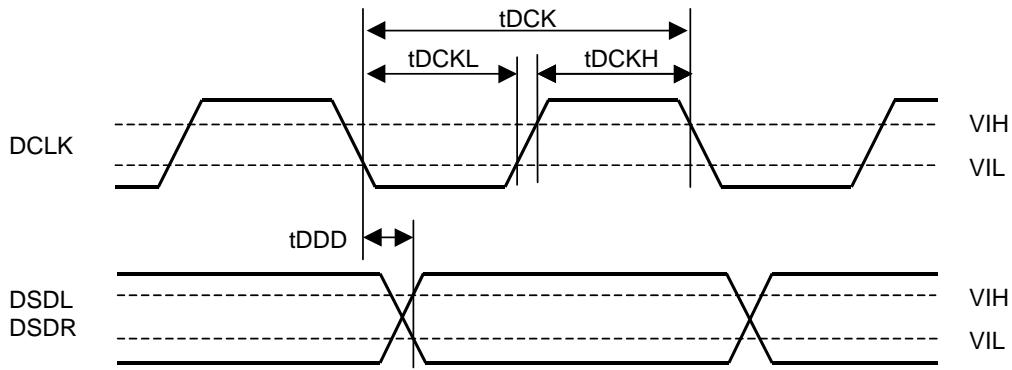
■ タイミング波形



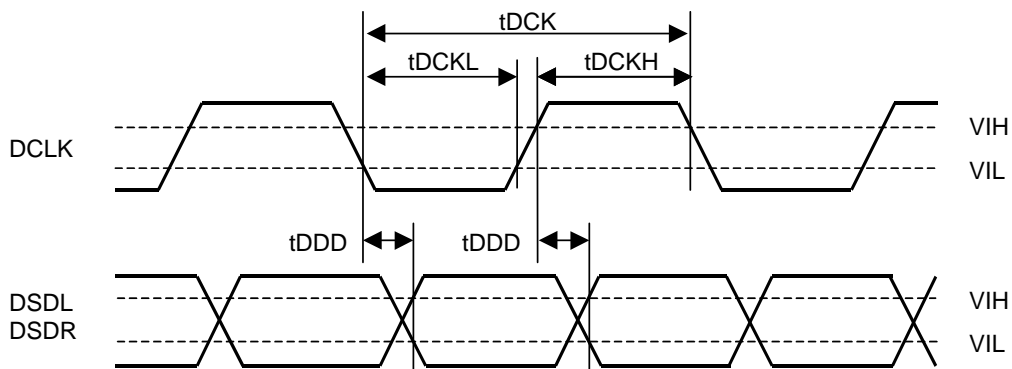
Clock Timing



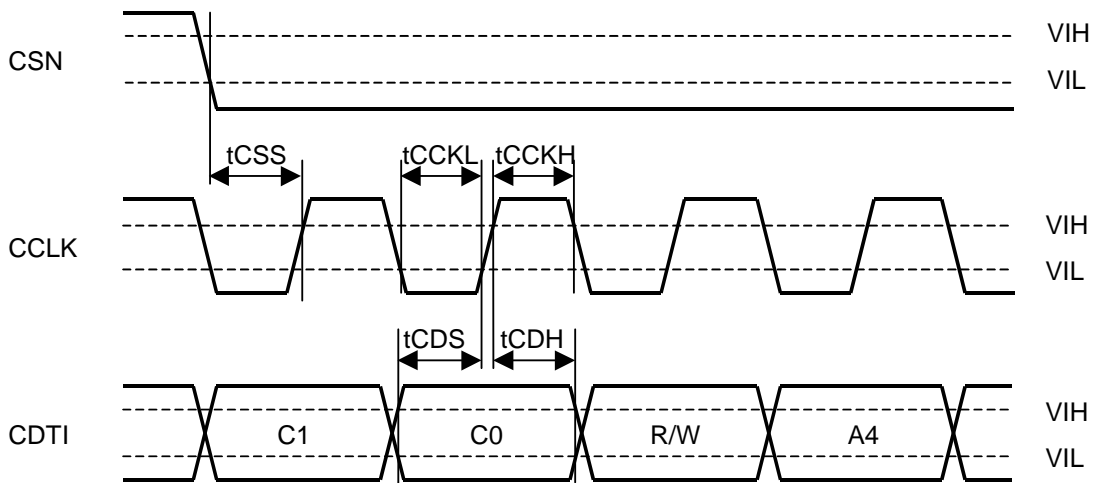
Audio Interface Timing (PCM Mode)



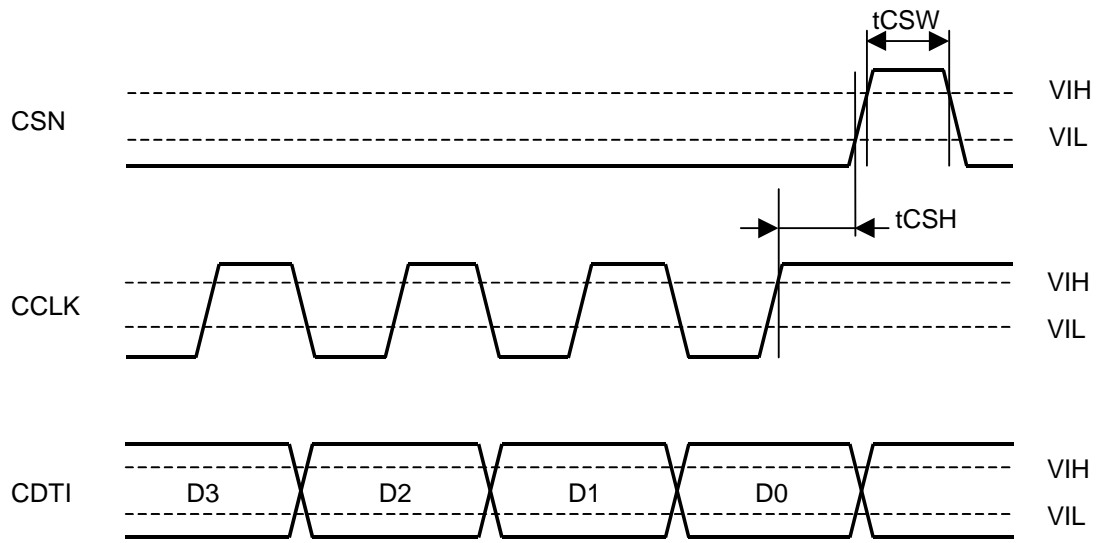
Audio Serial Interface Timing (DSD Normal Mode, DCKB bit = "0")



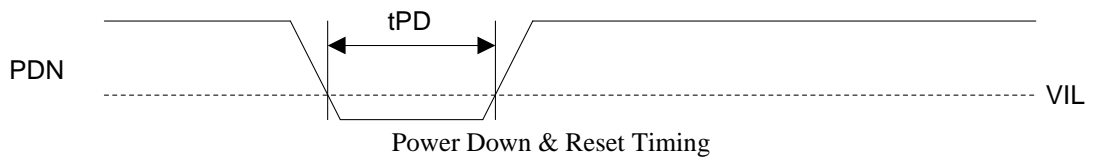
Audio Serial Interface Timing (DSD Phase Modulation Mode, DCKB bit = "0")



WRITE Command Input Timing



WRITE Data Input Timing



Power Down & Reset Timing

動作説明

■ D/A変換モード

AK4396はPCMデータとDSDデータの両方をD/A変換することが可能です。DSDモード時は、DCLK, DSDL, DSDRの各ピンからDSDデータを入力できます。PCMモードではBICK, LRCK, SDATAの各ピンからPCMデータを入力します。モード切り替えはD/P bitで行います。D/P bitでPCM/DSDモードを切り替えた場合はRSTN bitでリセットして下さい。切り替えには2~3/fs程度かかります。

D/P bit	Interface
0	PCM
1	DSD

Table 1. PCM/DSD Mode Control

■ システムクロック

[1] PCMモード

AK4396に必要なクロックは、MCLK, BICK, LRCKです。MCLKとLRCKは同期する必要はありますが位相を合わせる必要はありません。MCLKはインターポレーションフィルタと $\Delta\Sigma$ 変調器に使用されます。クロックを切り替えた場合には、PDN pinでリセットするか、RSTN bitでリセットして下さい。

動作時(PDN pin = "H")は、外部クロック(MCLK, BICK, LRCK)を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。クロックを止める場合はパワーダウン状態(PDN pin = "L")またはリセット状態(RSTN bit = "0")にして下さい。電源ON等のリセット解除時(PDN pin = "L" → "H")は、MCLKが入力されるまでパワーダウン状態です。

(1) パラレルモード (P/S pin = "H")

1. Manual Setting Mode (ACKS pin = "L")

MCLK周波数は自動設定されますが、DFS0 pinでサンプリングスピードを設定します(Table 2)。各スピードでのMCLK周波数はTable 3で示される周波数を外部から供給して下さい。DFS1 bitは"0"に固定されます。DFS0 pinを切り替えた場合はPDN pinでリセットして下さい。このモードは、4倍速には対応していません。

DFS0 pin	Sampling Rate (fs)	
L	Normal Speed Mode	30kHz ~ 54kHz
H	Double Speed Mode	54kHz ~ 108kHz

Table 2. Sampling Speed (Manual Setting Mode @Parallel Mode)

LRCK fs	MCLK (MHz)							BICK 64fs
	128fs	192fs	256fs	384fs	512fs	768fs	1152fs	
32.0kHz	N/A	N/A	8.1920	12.2880	16.3840	24.5760	36.8640	2.0480MHz
44.1kHz	N/A	N/A	11.2896	16.9344	22.5792	33.8688	N/A	2.8224MHz
48.0kHz	N/A	N/A	12.2880	18.4320	24.5760	36.8640	N/A	3.0720MHz
88.2kHz	11.2896	16.9344	22.5792	33.8688	N/A	N/A	N/A	5.6448MHz
96.0kHz	12.2880	18.4320	24.5760	36.8640	N/A	N/A	N/A	6.1440MHz

Table 3. System Clock Example (Manual Setting Mode @Parallel Mode)

2. Auto Setting Mode (ACKS pin = "H")

MCLK周波数とサンプリングスピードは自動検出(Table 4)されるため、DFS0 pinの設定は不要です。各スピードでのMCLK周波数はTable 5で示される周波数を外部から供給して下さい。DFS0 pinはDVSSまたはDVDDに固定して下さい。

MCLK		Sampling Speed
1152fs		Normal (fs≤32kHz)
512fs	768fs	Normal
256fs	384fs	Double
128fs	192fs	Quad

Table 4. Sampling Speed (Auto Setting Mode @Parallel Mode)

LRCK fs	MCLK (MHz)							Sampling Speed
	128fs	192fs	256fs	384fs	512fs	768fs	1152fs	
32.0kHz	N/A	N/A	N/A	N/A	16.3840	24.5760	36.8640	Normal
44.1kHz	N/A	N/A	N/A	N/A	22.5792	33.8688	N/A	
48.0kHz	N/A	N/A	N/A	N/A	24.5760	36.8640	N/A	
88.2kHz	N/A	N/A	22.5792	33.8688	N/A	N/A	N/A	Double
96.0kHz	N/A	N/A	24.5760	36.8640	N/A	N/A	N/A	
176.4kHz	22.5792	33.8688	N/A	N/A	N/A	N/A	N/A	Quad
192.0kHz	24.5760	36.8640	N/A	N/A	N/A	N/A	N/A	

Table 5. System Clock Example (Auto Setting Mode @Parallel Mode)

(2) シリアルモード (P/S pin = "L")

1. Manual Setting Mode (ACKS bit = "0")

MCLK周波数は自動設定されますが、DFS1-0 bitでサンプリングスピードを設定します(Table 6)。各スピードでのMCLK周波数はTable 7で示される周波数を外部から供給して下さい。パワーダウン解除時(PDN pin = "L" → "H")はManual Setting Modeに設定されます。DFS1-0 bitを切り替えた場合はRSTN bitでリセットして下さい。

DFS1 bit	DFS0 bit	Sampling Rate (fs)		Default
0	0	Normal Speed Mode	30kHz ~ 54kHz	
0	1	Double Speed Mode	54kHz ~ 108kHz	
1	0	Quad Speed Mode	120kHz ~ 216kHz	

Table 6. Sampling Speed (Manual Setting Mode @Serial Mode)

LRCK fs	MCLK (MHz)							BICK 64fs
	128fs	192fs	256fs	384fs	512fs	768fs	1152fs	
32.0kHz	N/A	N/A	8.1920	12.2880	16.3840	24.5760	36.8640	2.0480MHz
44.1kHz	N/A	N/A	11.2896	16.9344	22.5792	33.8688	N/A	2.8224MHz
48.0kHz	N/A	N/A	12.2880	18.4320	24.5760	36.8640	N/A	3.0720MHz
88.2kHz	11.2896	16.9344	22.5792	33.8688	N/A	N/A	N/A	5.6448MHz
96.0kHz	12.2880	18.4320	24.5760	36.8640	N/A	N/A	N/A	6.1440MHz
176.4kHz	22.5792	33.8688	N/A	N/A	N/A	N/A	N/A	11.2896MHz
192.0kHz	24.5760	36.8640	N/A	N/A	N/A	N/A	N/A	12.2880MHz

Table 7. System Clock Example (Manual Setting Mode @Serial Mode)

2. Auto Setting Mode (ACKS bit = "1")

MCLK周波数とサンプリングスピードは自動検出(Table 8)されるため、DFS1-0 bitの設定は不要です。各スピードでのMCLK周波数はTable 9で示される周波数を外部から供給して下さい。

MCLK		Sampling Speed
1152fs		Normal (fs≤32kHz)
512fs	768fs	Normal
256fs	384fs	Double
128fs	192fs	Quad

Table 8. Sampling Speed (Auto Setting Mode @Serial Mode)

LRCK fs	MCLK (MHz)							Sampling Speed
	128fs	192fs	256fs	384fs	512fs	768fs	1152fs	
32.0kHz	N/A	N/A	N/A	N/A	16.3840	24.5760	36.8640	Normal
44.1kHz	N/A	N/A	N/A	N/A	22.5792	33.8688	N/A	
48.0kHz	N/A	N/A	N/A	N/A	24.5760	36.8640	N/A	
88.2kHz	N/A	N/A	22.5792	33.8688	N/A	N/A	N/A	Double
96.0kHz	N/A	N/A	24.5760	36.8640	N/A	N/A	N/A	
176.4kHz	22.5792	33.8688	N/A	N/A	N/A	N/A	N/A	Quad
192.0kHz	24.5760	36.8640	N/A	N/A	N/A	N/A	N/A	

Table 9. System Clock Example (Auto Setting Mode @Serial Mode)

[2] DSDモード

必要なクロックは、MCLK, DCLKです。MCLKとDCLKは同期する必要はありますが位相を合わせる必要はありません。MCLK周波数はDCKS bitで設定します。

動作時(PDN pin = "H")は、各外部クロック(MCLK, DCLK)を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。クロックを止める場合はパワーダウン状態(PDN pin = "L")にしてください。電源ON等のリセット解除時(PDN pin = "L" → "H")はMCLKが入力されるまでパワーダウン状態です。

DCKS bit	MCLK Frequency	DCLK Frequency	Default
0	512fs	64fs	
1	768fs	64fs	

Table 10. System Clock (DSD Mode)

■ オーディオインタフェースフォーマット

[1] PCMモード

オーディオデータはBICKとLRCKを使ってSDATAから入力されます。5種類のデータフォーマット(Table 11)は、DIF2-0 pin (パラレルモード)または、DIF2-0 bit (シリアルモード)で選択できます。全モードともMSBファースト、2'sコンプリメントのデータフォーマットでBICKの立ち上がりでラッチされます。Mode 2を16ビット、20ビットで使った場合はデータのないLSBには“0”を入力して下さい。

Mode	DIF2	DIF1	DIF0	Input Format	BICK	Figure
0	0	0	0	16bit後詰め	≥ 32fs	Figure 1
1	0	0	1	20bit後詰め	≥ 48fs	Figure 2
2	0	1	0	24bit前詰め	≥ 48fs	Figure 3
3	0	1	1	24bit I ² S互換	≥ 48fs	Figure 4
4	1	0	0	24bit後詰め	≥ 48fs	Figure 2

Default

Table 11. Audio Interface Format

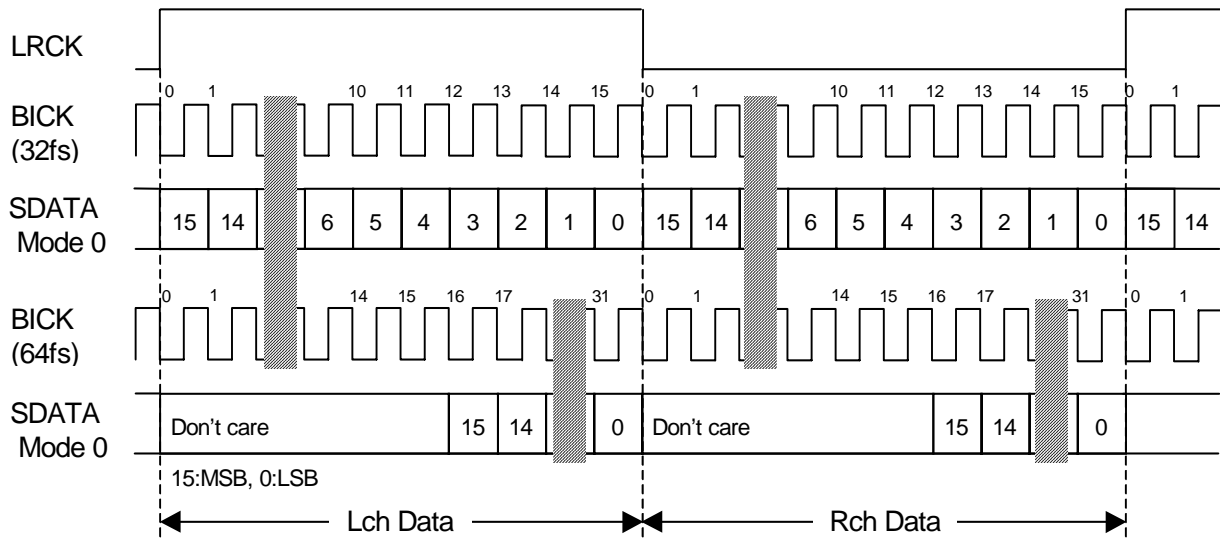


Figure 1. Mode 0 Timing

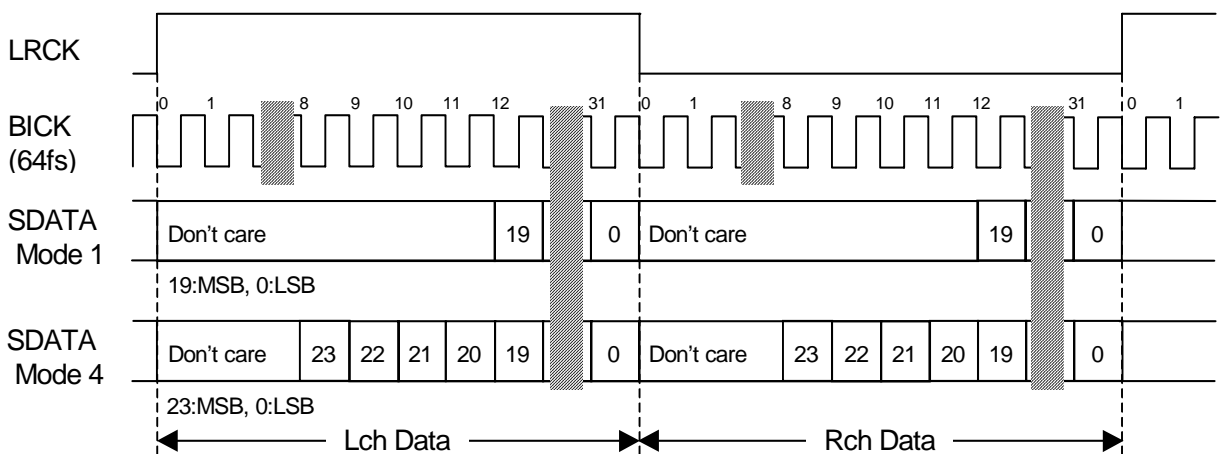


Figure 2. Mode 1, 4 Timing

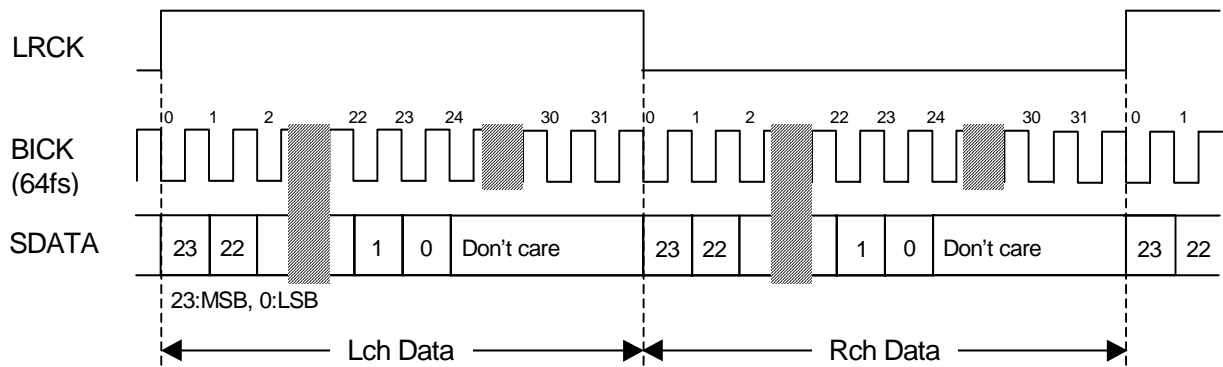


Figure 3. Mode 2 Timing

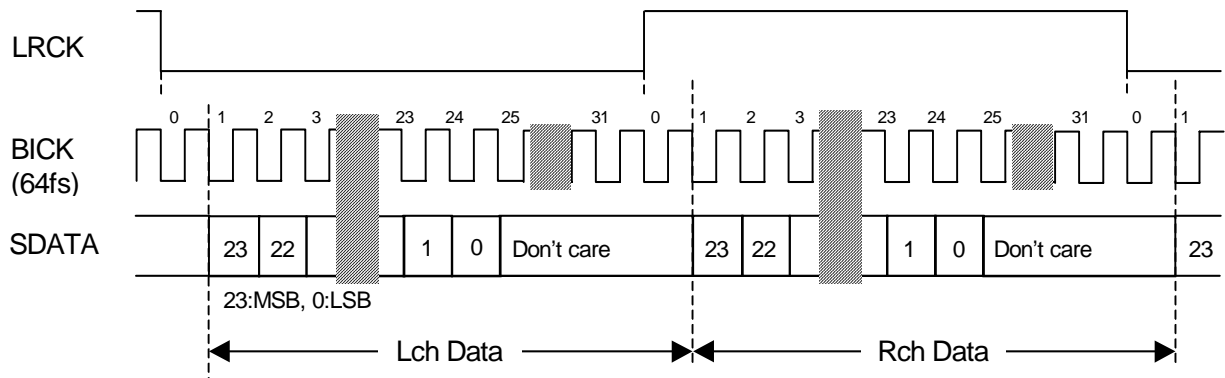


Figure 4. Mode 3 Timing

[2] DSDモード

DSDデータ入力の場合は、DIF2-0 pin及びDIF2-0 bitは無効です。DCLK周波数は64fsに固定です。DCLKの極性はDCKB bitで反転することが可能です。

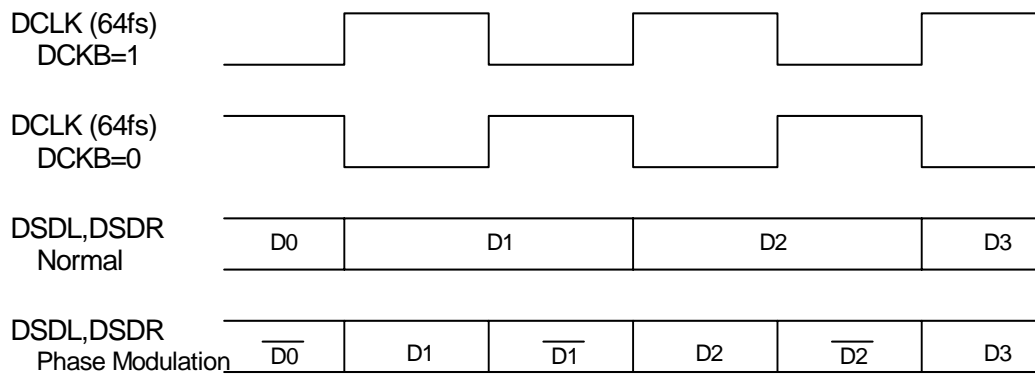


Figure 5. DSD Mode Timing

■ D/A変換モード切り替えタイミング

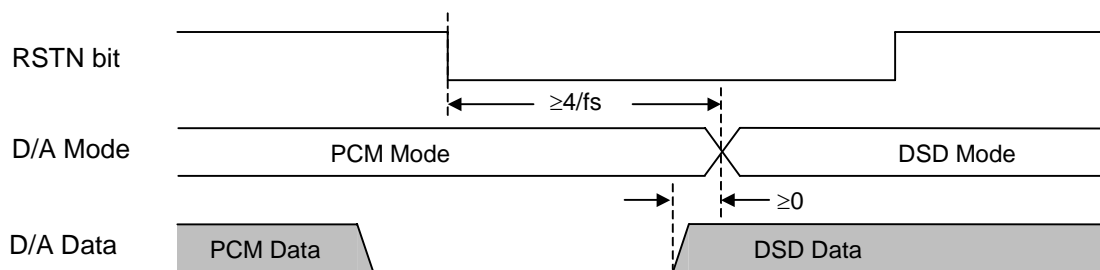


Figure 6. D/A Mode Switching Timing (PCM to DSD)

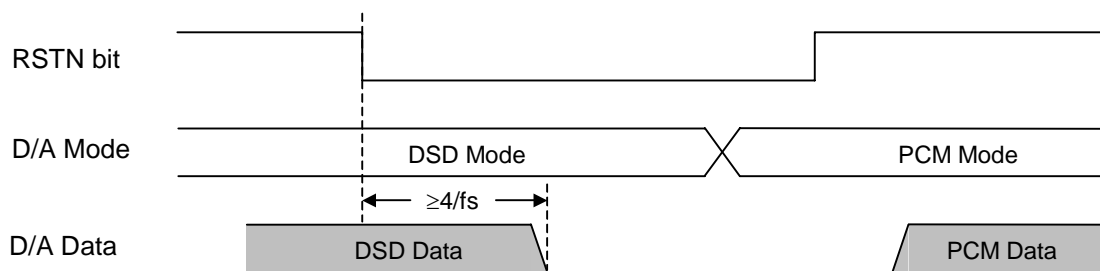


Figure 7. D/A Mode Switching Timing (DSD to PCM)

Note. DSDモード時は25%から75%デューティを信号レンジとします。SACDフォーマットブック(Scarlet Book)では、DSD信号のピークレベルがこのデューティを越えることは推奨されていません。

■ ディエンファシスフィルタ

IIRフィルタによる3周波数(32kHz, 44.1kHz, 48kHz)対応のディエンファシスフィルタ(50/15μs特性)を内蔵しています。2倍速モード、4倍速モードの時にはディエンファシスフィルタはOFFです。DSDモード時にはDEM1-0 bitは無効です。PCMモードとDSDモードを切り替えても設定値は保持されます。

DEM1	DEM0	Mode
0	0	44.1kHz
0	1	OFF
1	0	48kHz
1	1	32kHz

Default

Table 12. De-emphasis Control (Normal Speed Mode)

■ 出力ボリューム

AK4396はMUTEを含むリニアステップ、256レベルのチャンネル独立デジタル出力ボリューム(ATT)を内蔵しています。このボリュームはDACの前段にあり、入力データを0dBから-48dBまでアテネーション、またはミュートします。設定値間の遷移はソフト遷移です。従って、遷移中にスイッチングノイズは発生しません。1レベル変化した時の遷移時間と256レベル全体の遷移時間をTable 13に示します。

Sampling Speed	遷移時間	
	1 Level	255 to 0
Normal Speed Mode	4LRCK	1020LRCK
Double Speed Mode	8LRCK	2040LRCK
Quad Speed Mode	16LRCK	4080LRCK

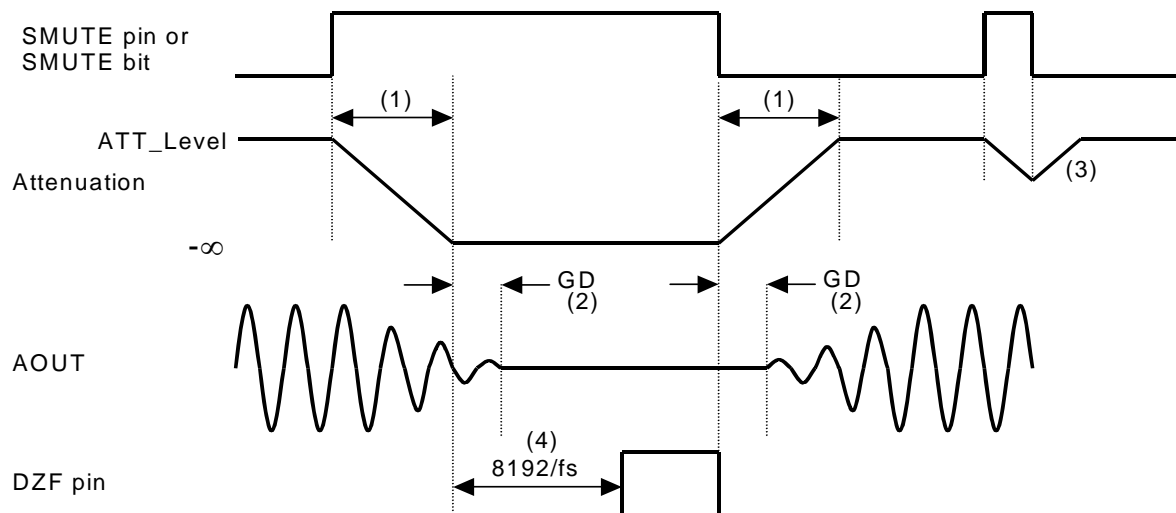
Table 13. ATT Transition Time

■ ゼロ検出機能

AK4396はチャンネル独立のゼロ検出機能を持ちます。各チャンネルの入力データが8192回連続して“0”の場合、各チャンネルのDZF pinが独立に“H”になります。その後、各チャンネルの入力データが“0”でなくなると対応するチャンネルのDZF pinが“L”になります。RSTN bitが“0”の場合、両チャンネルのDZF pinが“H”になります。RSTN bitが“1”になった後、各チャンネルの入力データが“0”でなくなると対応するチャンネルのDZF pinが4 ~ 5LRCK後に“L”になります。また、DZFM bitを“1”にすると両チャンネルの入力データが8192回連続して“0”の場合のみ、両チャンネルのDZF pinが“H”になります。ゼロ検出機能はDZFE bitで無効にできます。この時、両チャンネルのDZF pinは常に“L”です。DZF pinの極性はDZFB bitで反転することが可能です。

■ ソフトミュート機能

ソフトミュートはデジタル的に実行されます。SMUTE pinを“H”またはSMUTE bitを“1”にするとその時点のATT設定値からATT設定値 × ATT遷移時間(Table 13)で入力データが $-\infty$ (“0”)までアテネーションされます。SMUTE pinを“L”またはSMUTE bitを“0”にすると $-\infty$ 状態が解除され、 $-\infty$ からATT設定値 × ATT遷移時間でATT設定値まで復帰します。ソフトミュート開始後、 $-\infty$ までアテネーションされる前に解除されるとアテネーションが中断され、同じサイクルでATT設定値まで復帰します。ソフトミュート機能は信号を止めずに信号源を切り替える場合などに有効です。



注：

- (1) ATT設定値 × ATT遷移時間(Table 13)。例えば、Normal Speed Mode時、ATT設定値が“255”の場合は1020LRCKサイクルです。
- (2) デジタル入力に対するアナログ出力は群遅延(GD)をもちます。
- (3) ソフトミュート開始後、 $-\infty$ までアテネーションされる前に解除されるとアテネーションが中断され、同じサイクルでATT設定値まで復帰します。
- (4) 各チャンネルの入力データが8192回連続して“0”の場合、各チャンネルのDZF pinは“H”になります。その後、各チャンネルの入力データが“0”でなくなると、対応するチャンネルのDZF pinが“L”になります。

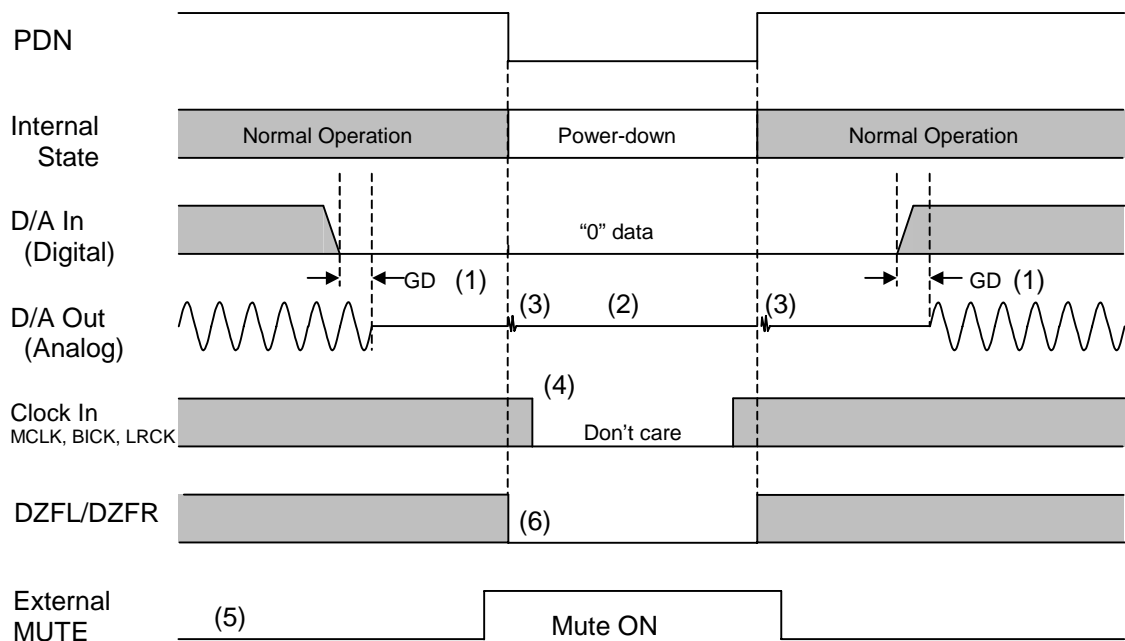
Figure 8. Soft Mute Function

■ システムリセット

電源ON時には、PDN pinに一度“L”を入力してリセットして下さい。アナログ部はMCLK入力によりパワーダウン状態が解除され、デジタル部は内部カウンタがMCLKを4/fsカウントした後、パワーダウン状態が解除されます。

■ パワーダウン機能

PDN pinを“L”にするとパワーダウン状態になり、アナログ出力はフローティング状態(Hi-Z)になります。Figure 9 にパワーダウン及びパワーアップ時のシステムタイミング例を示します。



注：

- (1) デジタル入力に対するアナログ出力は群遅延(GD)を持ちます。
- (2) パワーダウン時、アナログ出力はHi-Zです。
- (3) PDN信号のエッジ(“↓↑”)でクリックノイズが出力されます。このノイズはデータが“0”の場合でも出力されます。
- (4) パワーダウン状態(PDN pin = “L”)では各クロック入力(MCLK, BICK, LRCK)を止めることができます。
- (5) クリックノイズ(3)が問題になる場合はアナログ出力を外部でミュートして下さい。タイミング例を示します。
- (6) パワーダウン状態(PDN pin = “L”)では、DZF pinは“L”になります。

その他：

パワーダウン解除後(PDN pin: “L” → “H”)、AOUT pinはコモン電圧(VA/2)に向かって立ち上がっていきます。この時間は、VCOM pin に接続するコンデンサと内部のインピーダンスの時定数により決定します。

例：C = 10 μ Fの場合

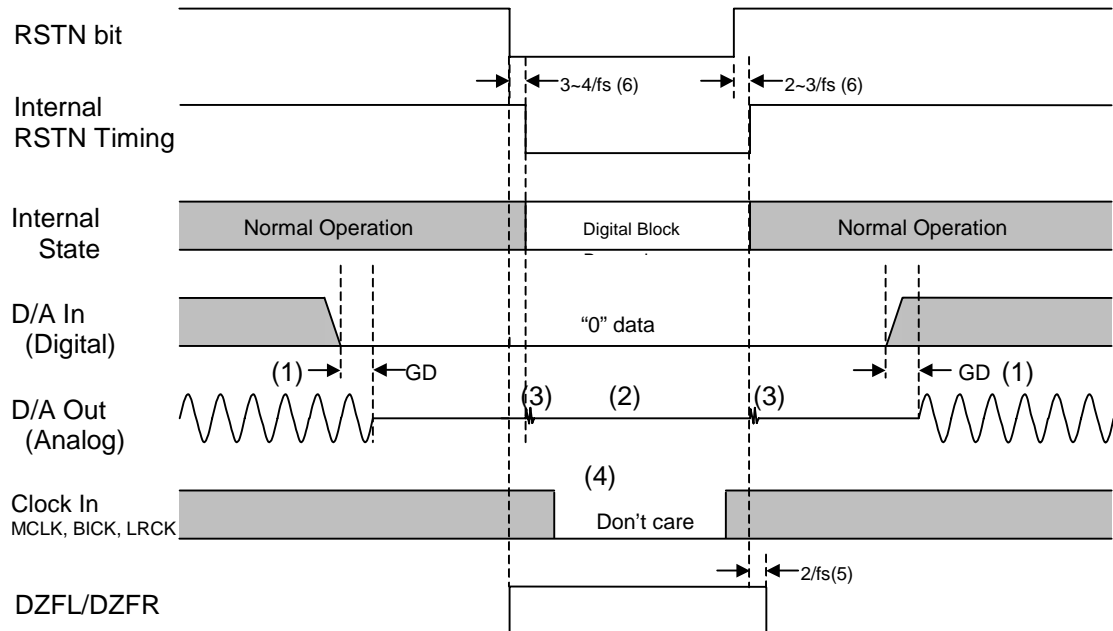
$$1 \tau (\text{typ}) = 10\mu\text{F} \times 0.75\text{k}\Omega = 7.5\text{ms}, 5\tau (\text{typ}) = 37.5\text{ms}$$

$$1 \tau (\text{max}) = 10\mu\text{F} \times 0.975\text{k}\Omega = 9.75\text{ms}, 5\tau (\text{max}) = 48.75\text{ms}$$

Figure 9. Power-down/up sequence example

■ リセット機能

RSTN bitを“0”にするとDACはリセットされますが、内部レジスタは初期化されません。この時、アナログ出力はVCOM電圧になり、DZFL/DZFR pinは“H”になります。Figure 10にRSTN bitによるリセットシーケンスを示します。



注：

- (1) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。
- (2) RSTN bit = “0”時、アナログ出力はVCOM電圧(AVDD/2)です。
- (3) 内部RSTN信号のエッジ(↓↑)でクリックノイズが出力されます。このノイズはデータが“0”の場合でも出力されます。
- (4) リセット状態(RSTN bit = “0”)では各クロック入力(MCLK, BICK, LRCK)を止めることができます。
- (5) DZF pinはRSTN bitの立ち下がりエッジで“H”になり、LSI内部のRSTN bitの立ち上がりエッジの $2/f_s$ 後、“L”になります。
- (6) RSTN bitを書き込んでからLSI内部のRSTN bitが変化するまでの立ち下がり時に $3 \sim 4/f_s$ かかります。また、立ち上がり時に $2 \sim 3/f_s$ かかります。

Figure 10. Reset sequence example

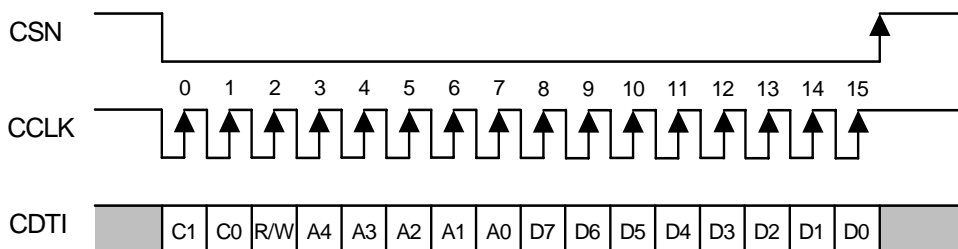
■ レジスタコントロールインタフェース

AK4396のいくつかの機能はピン(パラレルモード)とレジスタ(シリアルモード)のどちらでも設定できますが、パラレルモード時にはレジスタ設定は無効、シリアルモード時にはピン設定は無効になります。P/S pinの設定を変更した場合は、PDN pinでAK4396をリセットして下さい。シリアルモードではP/S pinを“L”にすることによってイネーブルされます。このモードでは3線式シリアルI/Fピン: CSN, CCLK, CDTIで書き込みを行います。I/F上のデータはChip address (2bit, C1/0), Read/Write (1bit, “1”固定, Write only), Register address (MSB first, 5bit)とControl data (MSB first, 8bit)で構成されます。データ送信側はCCLKの“↓”で各ビットを出力し、受信側は“↑”で取り込みます。データの書き込みはCSNの“↑”で有効になります。CCLKのクロックスピードは5MHz (max)です。

Function	Parallel mode	Serial mode
Auto Setting Mode	O	O
Manual Setting Mode	O	O
Audio Format	O	O
De-emphasis	O	O
SMUTE	O	O
DSD Mode	X	O
Zero Detection	X	O
Slow roll-off response	X	O
Digital Attenuator	X	O

Table 14. Function List (O: Available, X: Not available)

PDN pinを“L”にすると内部レジスタ値が初期化されます。また、シリアルモードではRSTN bitに“0”を書き込むと内部タイミング回路がリセットされます。但し、このときレジスタの内容は初期化されません。



C1-C0: Chip Address (C1=CAD1, C0=CAD0)
 R/W: READ/WRITE (Fixed to “1”, Write only)
 A4-A0: Register Address
 D7-D0: Control Data

Figure 11. Control I/F Timing

*AK4396はデータ読み出しをサポートしません。

*PDN pin = “L”時、及びマスタクロックが供給されていない時は、コントロールレジスタへの書き込みはできません。

*CSNが“L”期間中にCCLKの“↑”が15回以下または17回以上の場合にはデータは書き込まれません。

■ レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	ACKS	0	0	0	DIF2	DIF1	DIF0	RSTN
01H	Control 2	DZFE	DZFM	SLOW	DFS1	DFS0	DEM1	DEM0	SMUTE
02H	Control 3	D/P	DSDM	DCKS	DCKB	0	DZFB	0	0
03H	Lch ATT	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
04H	Rch ATT	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0

Note. アドレス05H～1FHへの書き込みは禁止です。

Note. PDN pinを“L”にするとレジスタの内容が初期化されます。

Note. RSTN bitに“0”を書き込むと内部タイミング回路がリセットされますが、レジスタの内容は初期化されません。

Note. P/S pinの設定を変更した場合は、PDN pinでAK4396をリセットして下さい。

■ 詳細説明

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	ACKS	0	0	0	DIF2	DIF1	DIF0	RSTN
	Default	0	0	0	0	0	1	0	1

RSTN: Internal Timing Reset

0 : Reset.

1 : Normal operation (Default)

“0”で内部タイミング回路がリセットされますが、レジスタの内容は初期化されません。

DIF2-0: Audio Data Interface Modes (Table 11)

初期値は“010” (Mode2 : 24bit前詰め)です。

ACKS: Master Clock Frequency Auto Setting Mode Enable (PCM only)

0 : Disable : Manual setting mode (Default)

1 : Enable : Auto setting mode

ACKS bitが“1”の時、サンプリング周波数とMCLK周波数は自動検出されます。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
01H	Control 2	DZFE	DZFM	SLOW	DFS1	DFS0	DEM1	DEM0	SMUTE
	Default	0	0	0	0	0	0	1	0

SMUTE: Soft Mute Enable

0 : Normal operation (Default)

1 : DAC outputs soft-muted.

DEM1-0: De-emphasis response (Table 12)

初期値は“01” (OFF)です。

DFS1-0: Sampling Speed Control (Table 6)

初期値は“00” (Normal speed)です。DFS1-0 bitを切り替えた場合、クリックノイズが発生します。

SLOW: Slow Roll-off Filter Enable

0 : Sharp roll-off filter (Default)

1 : Slow roll-off filter

DZFM: Data Zero Detect Mode

0 : Channel separated mode (Default)

1 : Channel ANDed mode

DZFM bitを“1”にすると両チャンネルの入力データが8192回連続して“0”の場合のみ、両チャンネルのDZF pinが“H”になります。

DZFE: Data Zero Detect Enable

0 : Disable (Default)

1 : Enable

ゼロ検出機能はDZFE bitで無効にできます。この時、両チャンネルのDZF pinは常に“L”です。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
02H	Control 3	D/P	DSDM	DCKS	DCKB	0	DZFB	0	0
	Default	0	0	0	0	0	0	0	0

DZFB: Inverting Enable of DZF

- 0 : ゼロ検出をした時、DZF pinは“H”を出力します。(Default)
- 1 : ゼロ検出をした時、DZF pinは“L”を出力します。

DCKB: Polarity of DCLK (DSD Only)

- 0 : DSD data is output from DCLK falling edge. (Default)
- 1 : DSD data is output from DCLK rising edge.

DCKS: Master Clock Frequency Select at DSD mode (DSD only)

- 0 : 512fs (Default)
- 1 : 768fs

DSDM: DSD Input Select

- 0 : Input pin : No.5, 6, 7 (Default)
- 1 : Input pin : No. 12, 13, 14

DSDM bitの設定を変更した場合は、RSTN bitでAK4396をリセットして下さい。

D/P: DSD/PCM Mode Select

- 0 : PCM mode (Default)
- 1 : DSD mode

D/P bitの設定を変更した場合は、RSTN bitでAK4396をリセットして下さい。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
03H	Lch ATT	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
04H	Rch ATT	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
	Default	1	1	1	1	1	1	1	1

ATT7-0: Attenuation Level

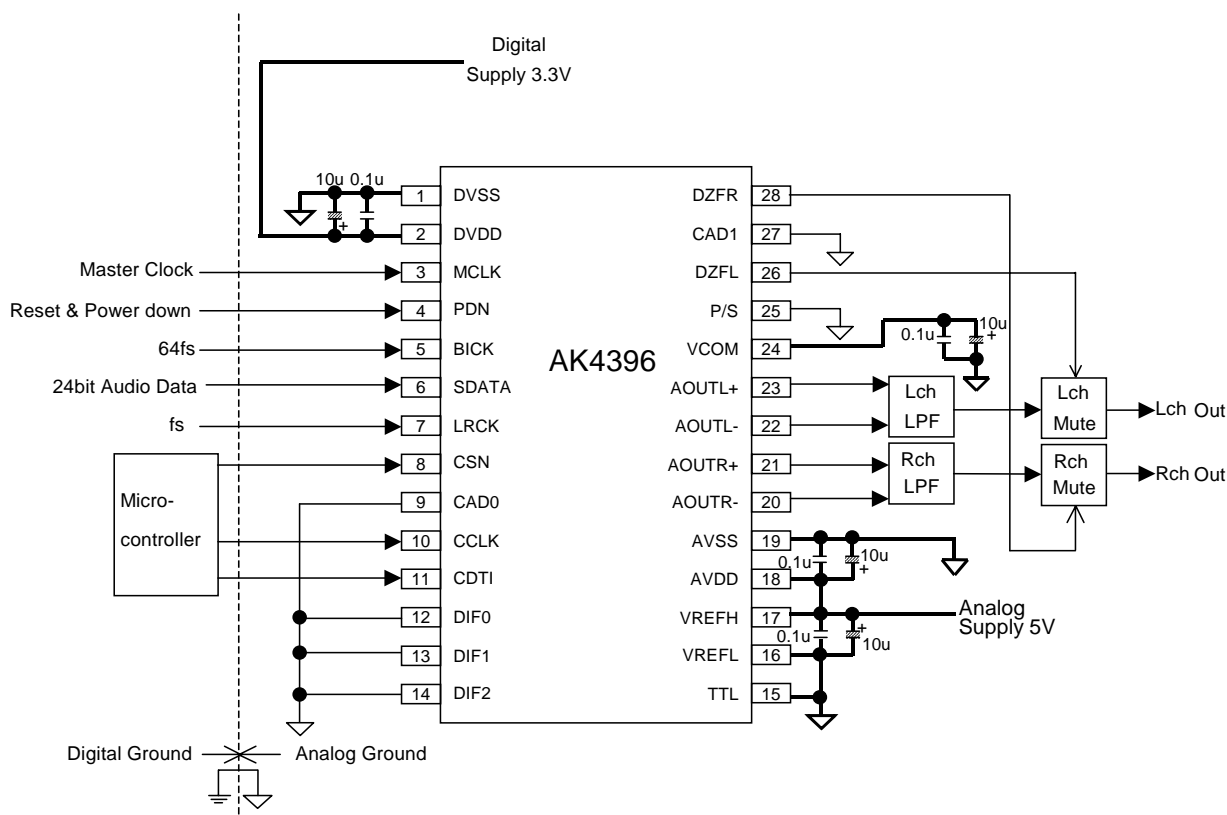
$$ATT = 20 \log_{10} (ATT_DATA / 255) \text{ [dB]}$$

FFH : 0dB (Default)

00H : Mute

システム設計

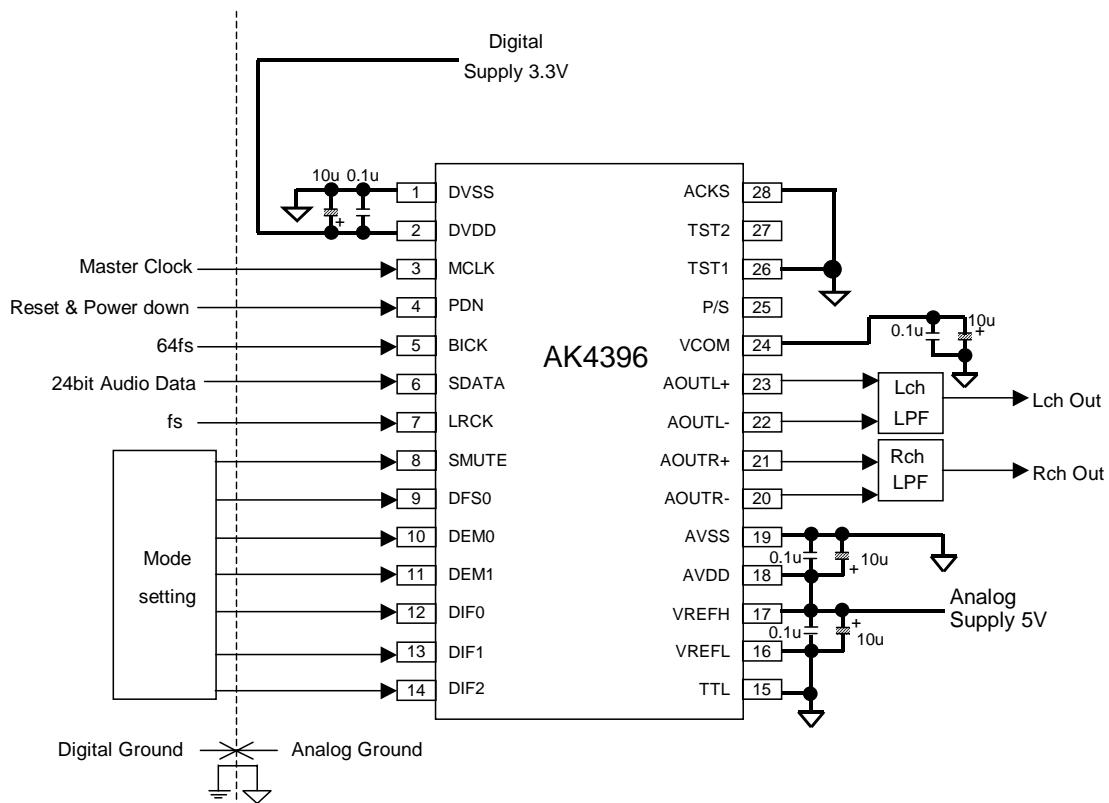
システム接続例をFigure 12, Figure 13とFigure 14、アナログ出力回路例をFigure 16, Figure 17とFigure 18に示します。具体的な回路と測定例については評価ボード(AKD4396)を参照して下さい。



注:

- Chip Address = "00". BICK = 64fs, LRCK = fs.
- AVDDとDVDDの配線はレギュレータ等からの低インピーダンス状態のまま分けて配線して下さい。
- AVSSとDVSSは同じアナロググランドに接続して下さい。
- AOUTが負荷容量を駆動する場合は直列に抵抗を入れて下さい。
- プルダウン/プルアップピン以外のデジタル入力ピンはオープンにしないで下さい。

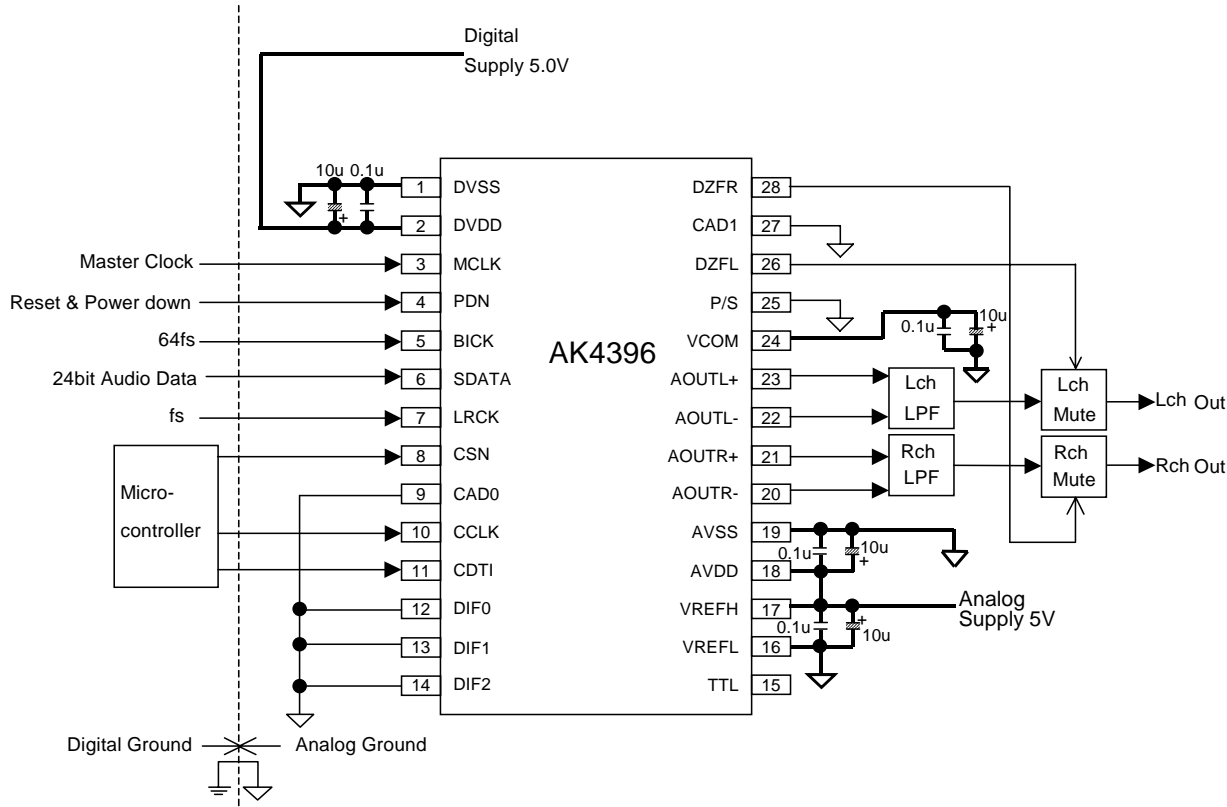
Figure 12. Typical Connection Diagram (AVDD=5V, DVDD=3.3V, Serial mode)



注:

- BICK = 64fs, LRCK = fs.
- AVDDとDVDDの配線はレギュレータ等からの低インピーダンス状態のまま分けて配線して下さい。
- AVSSとDVSSは同じアナロググランドに接続して下さい。
- AOUTが負荷容量を駆動する場合は直列に抵抗を入れて下さい。
- プルダウン/プルアップピン以外のデジタル入力ピンはオープンにしないで下さい。

Figure 13. Typical Connection Diagram (AVDD=5V, DVDD=3.3V, Parallel mode, AK4393互換)



注:

- Chip Address = "00". BICK = 64fs, LRCK = fs.
- TTL pin (AK4394/5ではBVSS pin)はオープンにしてください。
- AVDDとDVDDの配線はレギュレータ等からの低インピーダンス状態のまま分けて配線して下さい。
- AVSSとDVSSは同じアナロググランドに接続して下さい。
- AOOUTが負荷容量を駆動する場合は直列に抵抗を入れて下さい。
- プルダウン/プルアップピン以外のデジタル入力ピンはオープンにしないで下さい。

Figure 14. Typical Connection Diagram (AVDD=5V, DVDD=5V, Serial mode, AK4394/5互換)

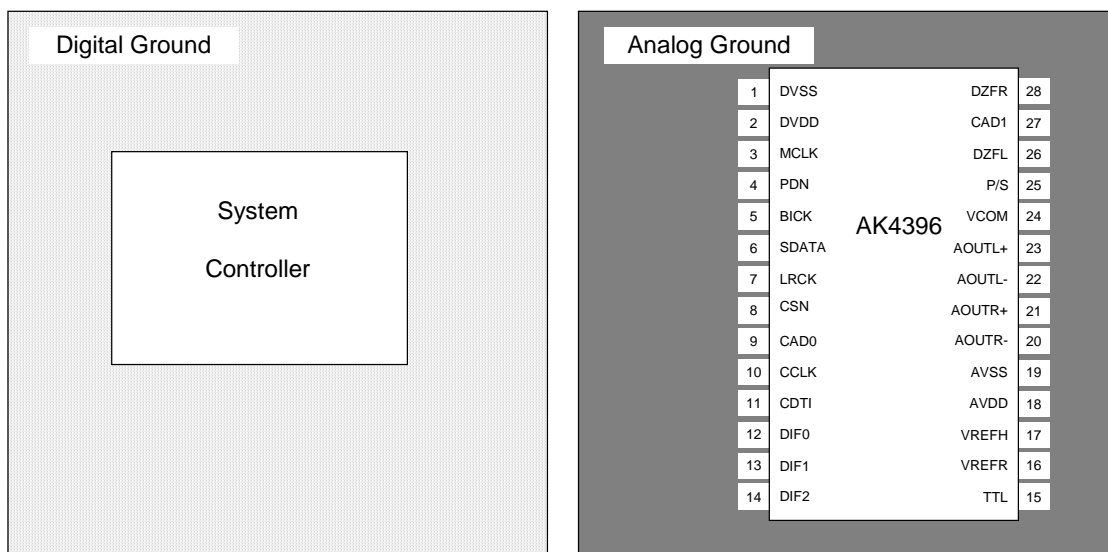


Figure 15. Ground Layout

1. グランドと電源のデカップリング

AK4396ではデジタルノイズのカップリングを最小限に抑えるため、AVDDとDVDDをデカップリングします。AVDDにはシステムのアナログ電源を供給し、DVDDにはシステムのデジタル電源を供給して下さい。AVDDとDVDDの配線はレギュレータ等からの低インピーダンス状態のまま分けて配線して下さい。その際、AVDDとDVDDの立ち上げシーケンスを考慮する必要はありません。AVSSとDVSSは同じアナロググランドに接続して下さい。デカップリングコンデンサ、特に小容量のセラミックコンデンサはAK4396にできるだけ近づけて接続します。

2. 基準電圧

VREFH pinとVREFL pinに入力される電圧の差がアナログ出力のフルスケールを決定します。通常はVREFH pinをAVDDに接続し、VREFL pinをAVSSに接続します。VREFH pinとVREFL pinとの間に0.1μFのセラミックコンデンサを接続します。VCOMはアナログ信号のCOMMON電圧として使われます。このピンには高周波ノイズを除去するために、10μF程度の電解コンデンサと並列に0.1μFのセラミックコンデンサをAVSSとの間に接続して下さい。特に、セラミックコンデンサはピンにできるだけ近づけて接続して下さい。VCOM pinから電流を取ってはいけません。デジタル信号、特にクロックはAK4396へのカップリングを避けるためVREFH/VREFL pinからできるだけ離して下さい。

3. アナログ出力

アナログ出力は完全差動出力になっており、出力レンジはVCOMを中心に2.8Vpp (typ, VREFH - VREFL = 5V)です。差動出力は外部で加算されます。AOUT+, AOUT-の加算電圧は $V_{AOUT} = (AOUT+) - (AOUT-)$ です。加算ゲインが1の場合、出力レンジは5.6Vpp (typ, VREFH - VREFL = 5V)です。外部加算回路のバイアス電圧は外部で供給します。入力コードのフォーマットは2's compliment (2の補数)で7FFFFFFH(@24bit)に対しては正のフルスケール、800000H(@24bit)に対しては負のフルスケール、000000H(@24bit)での V_{AOUT} の理想値は0V電圧が出力されます。

内蔵のΔΣ変調器の帯域外ノイズ(シェーピングノイズ)は内蔵のスイッチトキャパシタフィルタ(SCF)で減衰されます。

Figure 16は差動出力を1個のオペアンプで加算する外部LPF回路例です。Figure 17は差動出力の回路例及び3個のオペアンプを使った外部LPF回路例です。

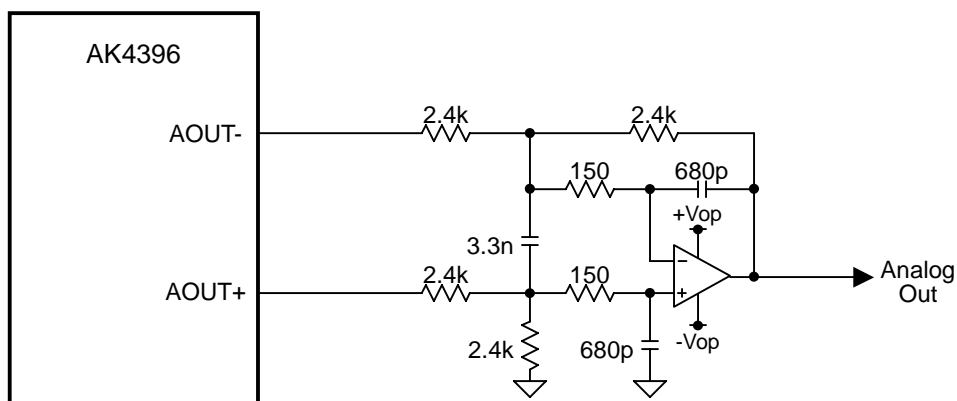


Figure 16. External LPF Circuit Example 1 for PCM (fc = 125kHz, Q=0.692)

Frequency Response	Gain
20kHz	-0.012dB
40kHz	-0.083dB
80kHz	-0.799dB

Table 15. Frequency Response of External LPF Circuit Example 1 for PCM

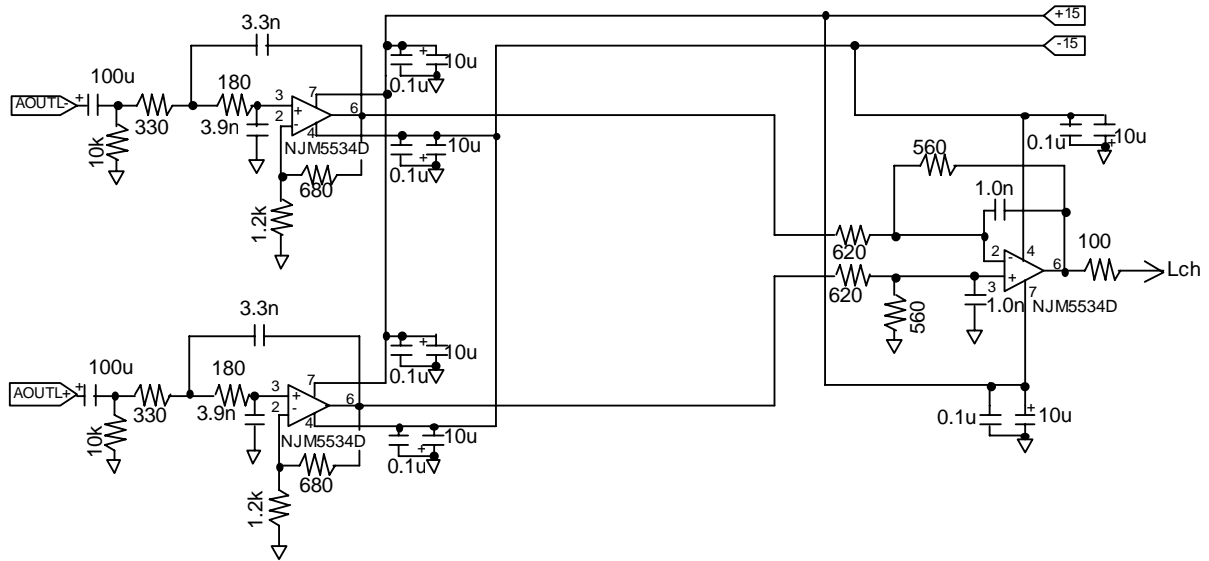


Figure 17. External LPF Circuit Example 2 for PCM

		1 st Stage	2 nd Stage	Total
Cut-off Frequency		182kHz	284kHz	-
Q		0.637	-	-
Gain		+3.9dB	-0.88dB	+3.02dB
Frequency Response	20kHz	-0.025	-0.021	-0.046dB
	40kHz	-0.106	-0.085	-0.191dB
	80kHz	-0.517	-0.331	-0.848dB

Table 16. Frequency Response of External LPF Circuit Example 2 for PCM

SACDフォーマットブック(Scarlet Book)では、SACDの再生時のフィルタ特性として、カットオフ50kHz以下のスロープ-30dB/oct以上のフィルタが推奨されています。AK4396では内部フィルタ(Table 17)と外部アナログフィルタ(Figure 18)により、このフィルタ特性を実現可能です。

Frequency	Gain
20kHz	-0.4dB
50kHz	-2.8dB
100kHz	-15.5dB

Table 17. Internal Filter Response at DSD mode

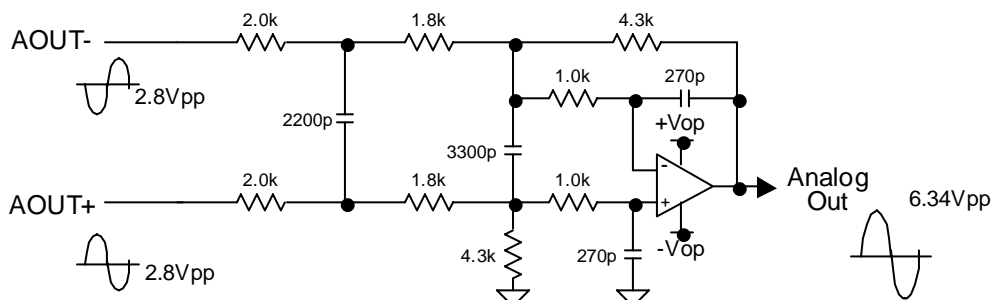


Figure 18. External 3rd order LPF Circuit Example for DSD

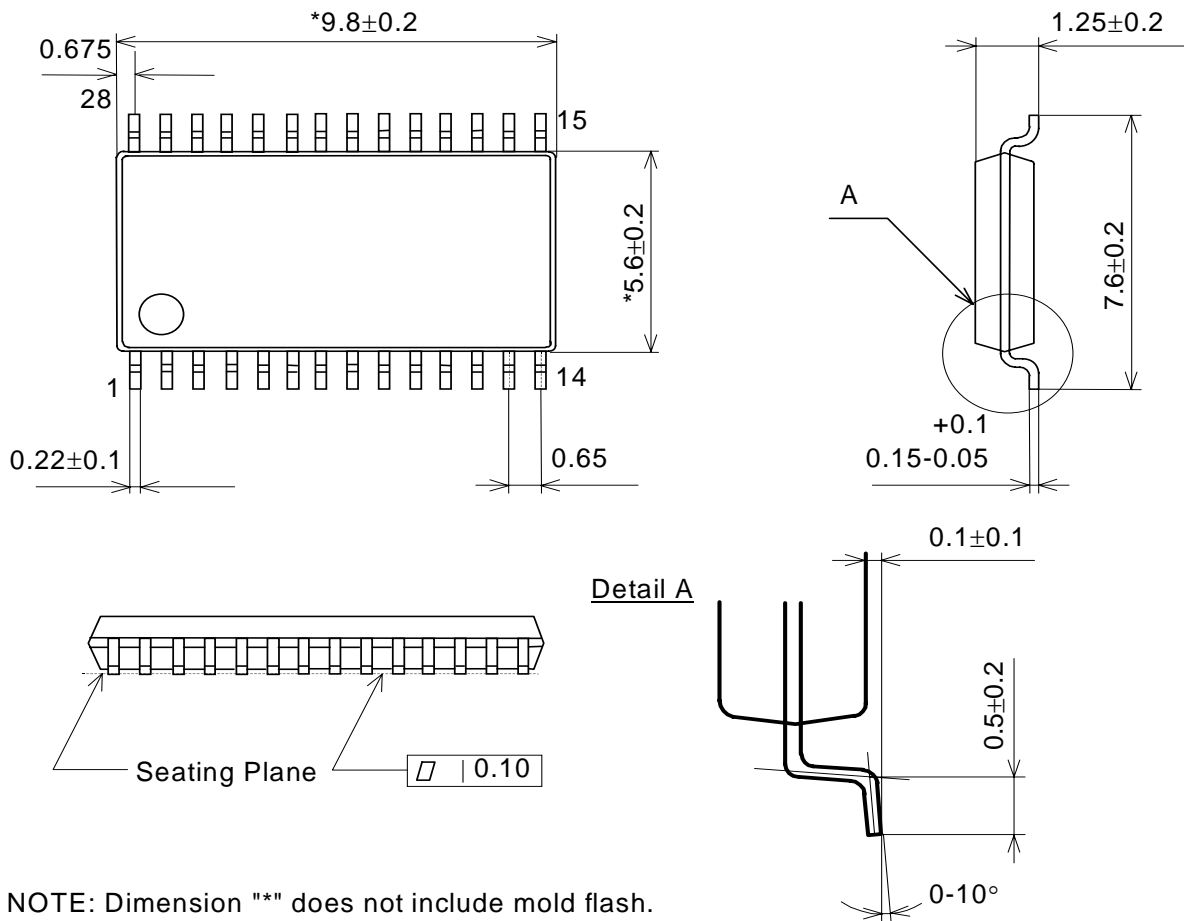
Frequency	Gain
20kHz	-0.05dB
50kHz	-0.51dB
100kHz	-16.8dB

DC gain = 1.07dB

Table 16. 3rd order LPF (Figure 18) Response

パッケージ

28pin VSOP (Unit: mm)

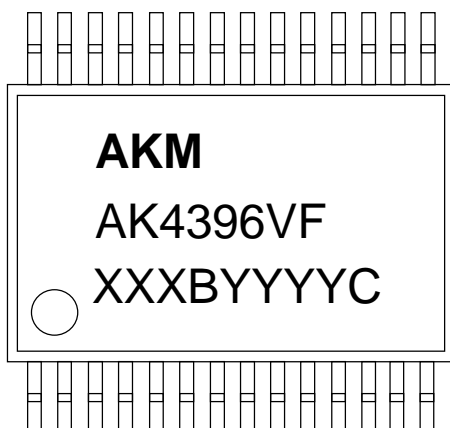


NOTE: Dimension "*" does not include mold flash.

■ Material & Lead finish

Package molding compound:	Epoxy
Lead frame material:	Cu
Lead frame surface treatment:	Solder (Pb free) plate

マ-キ-ン-グ



XXXBYYYYC: Date code identifier

XXXB: Lot number (X : Digit number, B : Alpha character)
 YYYYYC: Assembly date (Y : Digit number, C : Alpha character)

改訂履歴

Date (YY/MM/DD)	Revision	Reason	Page	Contents
04/08/31	00	初版		

重要な注意事項

- 本書に記載された製品、及び、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替及び、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。