



AK4137

32bit SRC with PCM/DSD conversion

1. 概要

AK4137 は 2ch のデジタルサンプルレートコンバータ (SRC) です。入力された 8kHz~768kHz の範囲にあるサンプルレートのオーディオソースを 8kHz~768kHz のサンプルレートに変換して出力します。また、発振器を内蔵しており、マスタクロックを必要としないので、非常にシンプルな構成がとれます。ハイエンドオーディオ/USB DAC 等、異なるサンプルレートを持つ音源との接続用途に最適です。PCM-DSD 変換機能を持ち多彩な音楽再生が可能です。

2. 特長

- 2 channels input/output
- Asynchronous Sample Rate Converter
- PCM
 - Input Sample Rate Range(FSI) : 8kHz~768kHz
 - Output Sample Rate Range(FSO) : 8kHz~768kHz
- Input to Output Sample Rate Ratio: FSO/FSI = 1/6~24
- DSD
 - Input Sample Rate Range(FSI) : 2.8224MHz~12.288MHz
 - Output Sample Rate Range(FSO) : 2.8224MHz~12.288MHz
- THD+N: Up to -150dB
- Dynamic Range: 186dB (A-weighted)
- I/F format : MSB justified, LSB justified, I2S compatible and TDM
- PCM/DSD converter
- DoP I/F
- Oscillator for Internal Operation Clock
- Clock for Master mode : 64/128/192/256/384/512/768fso
- On-chip X'tal oscillator
- Digital De-emphasis Filter (32KHz, 44.1KHz, 48KHz)
- soft Mute Function
- SRC Bypass mode (Master/Slave, PCM, DSD)
- uP Interface : I2C bus/SPI 4-wire
- Power Supply
 - DVDD: 3.0~3.6V (internal LDO enabled)
 - DVDD: 1.7~1.9V (internal LDO disabled)
- Ta : -40~+105°C
- Package: 48-pin LQFP (0.5mm pitch)

3. 目 次

1. 概 要.....	1
2. 特 長.....	1
3. 目 次.....	2
4. ブロック図と機能説明.....	5
5. ピン配置と機能説明.....	6
オーダーリングガイド.....	6
■ ピン機能説明.....	7
6. 絶対最大定格.....	11
7. 推奨動作条件.....	11
8. SRC 特性.....	12
■ PCMIN->PCMOUT.....	12
■ PCMIN->DSDOUT.....	12
■ DSDIN->PCMOUT.....	13
9. 消費電流.....	14
■ 内蔵 LDO モード.....	14
■ DV18 外部供給モード.....	14
10. フィルタ特性.....	15
■ シャープロールオフ・フィルタ特性.....	15
■ スローロールオフ・フィルタ特性.....	16
■ ショートディレイ・シャープロールオフ・フィルタ特性.....	17
■ ショートディレイ・スローロールオフ・フィルタ特性.....	18
11. DSD モード特性.....	19
■ シャープロールオフ・フィルタ特性.....	19
■ スローロールオフ・フィルタ特性.....	19
■ ショートディレイ・スローロールオフ・フィルタ特性.....	20
12. 入出力組み合わせ例.....	21
13. DC 特性.....	23
14. スイッチング特性.....	23
■ タイミング波形.....	29
15. 動作説明.....	37
■ 動作モードと設定.....	37
■ 立ち上がりシーケンス.....	38
■ SRC バイパスモード.....	39
■ スレーブモード.....	41
■ マスタモード.....	41
■ 入力ポートのシステムクロックとオーディオインタフェースフォーマット.....	42
■ 出力ポートのシステムクロックとモード設定.....	46
■ 出力ポートのオーディオインタフェースフォーマット.....	48
■ TDM Mode 時のカスケード接続.....	53
■ ソフトミュート機能.....	54
■ ディザ回路.....	56
■ Digital フィルタ.....	57
■ ディエンファシスフィルタ.....	57
■ レギュレータ.....	57
■ DSD モード.....	58
■ クロック切り替えの手順.....	61
■ PDN pin あるいは RSTN bit でリセットせずに入力ポートの ILRCK 周波数を変化させた場合 ...	62
■ PDN pin あるいは RSTN bit でリセットせずに出力ポートの OLRCK 周波数を変化させた場合..	62

■ レート変換時のポップノイズ除去.....	62
■ 入力ソース切り替え（PCM⇔DSDI、DoP モード）.....	63
■ 内部ステータスピン.....	63
■ シリアルコントロールインタフェース.....	64
■ レジスタマップ.....	68
■ グラウンドと電源のデカップリング.....	74
16. ジッター耐量.....	75
17. システム設計.....	76
18. パッケージ.....	78
■ 外形寸法図.....	78
■ 材質・メッキ仕様.....	78
■ マーキング.....	79
19. 改訂履歴.....	80
重要な注意事項	81

	AK4137	AK4136
bit	32	←
DR (A-Weighted)	186	176
THD+N	150	140
fsi	8~768KHz	8~384KHz
fso	8~768KHz	8~384KHz
Ratio I/O	1/6~24	1/6~12
出力側クロック (マスタ動作)	64/128/256/384/512/768fso 対応	128/256/384/512/768fso 対応
SRC 変換	PCM→PCM 変換、DSD→DSD 変換 DSD→PCM 変換、PCM→DSD 変換 DoP→DSD 変換、DoP→PCM 変換	PCM→PCM 変換
SRC バイパス機能	あり (マスタ、スレーブ)	←
ソフトミュート	あり セミオートモード ミュート時間設定可能	あり セミオートモード、 ミュート時間設定はレジスタ設定のみ
DITHER	あり	あり(レジスタ設定のみ)
内蔵レギュレータ	3V→1.8V	←
外部 1.8V 入力	あり	←
水晶発振回路	あり	←
レート変換時 ポップノイズ除去	あり	←
マイコン I/F	I2C、4Wire	←

4. ブロック図と機能説明

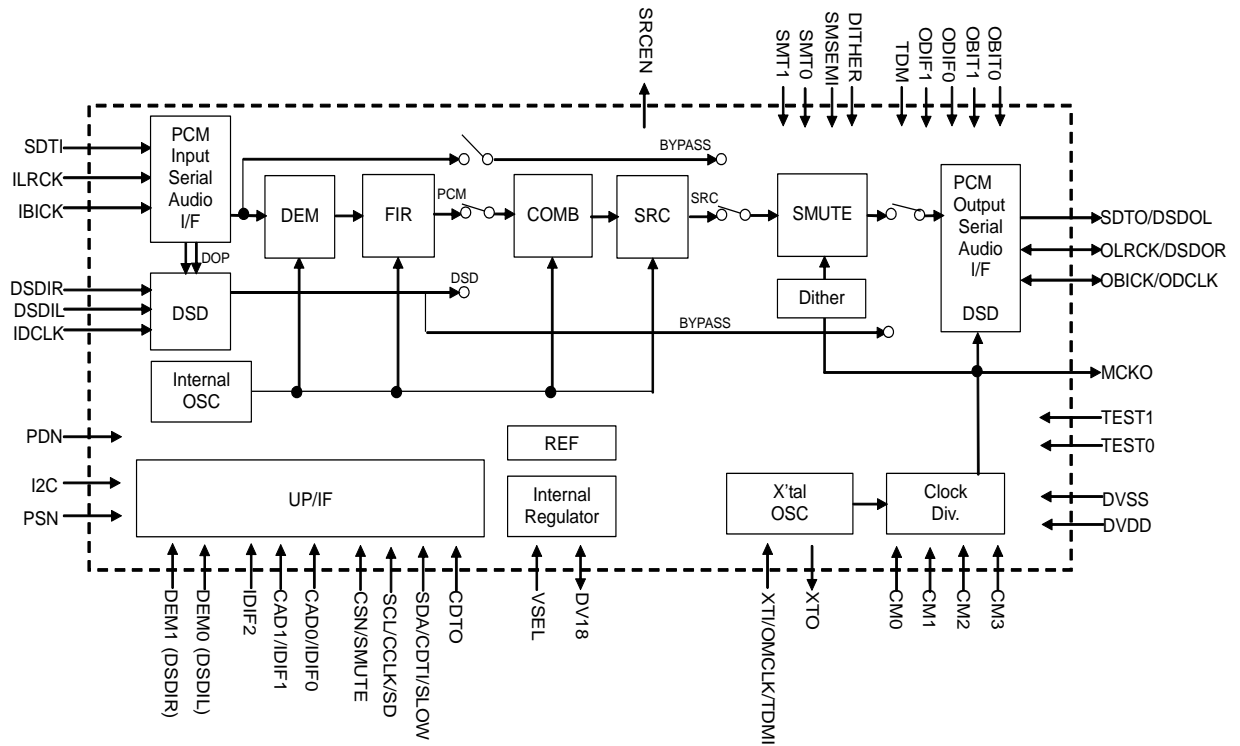


Figure 1. ブロック図

5. ピン配置と機能説明

オーダリングガイド

AK4137EQ -40 ~ +85°C 48pin LQFP (0.5mm pitch)
 AKD4137 AK4137評価用ボード

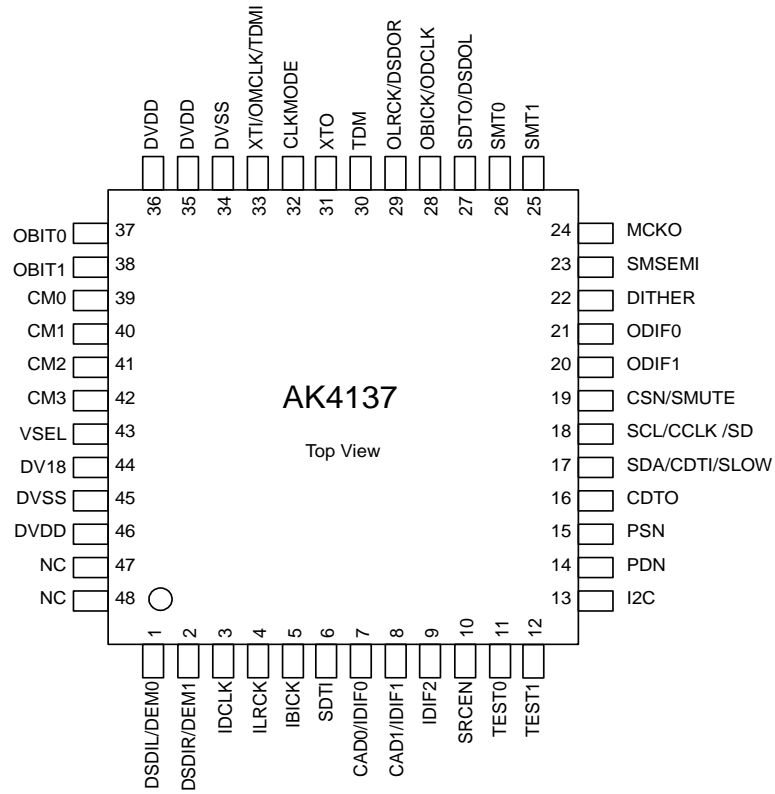


Figure 2. ピン配置

■ ピン機能説明

No.	Pin Name	I/O	Function
1	DSDIL	I	DSD Data Pin in DSD Mode
	DEM0	I	De-emphasis Control #0 Pin
2	DSDIR	I	DSD Data Pin in DSD Mode
	DEM1	I	De-emphasis Control #1 Pin
3	IDCLK	I	DSD Clock Pin in DSD Mode
4	ILRCK	I	L/R Clock Pin in PCM Mode
5	IBICK	I	Audio Serial Data Clock Pin in PCM Mode
6	SDTI	I	Audio Serial Data Input Pin in PCM Mode
7	CAD0	I	Chip Address 0 Pin in Serial Control Mode
	IDIF0	I	Digital Input Format 0 Pin in Parallel Control Mode
8	CAD1	I	Chip Address 1 Pin in Serial Control Mode
	IDIF1	I	Digital Input Format 1 Pin in Parallel Control Mode
9	IDIF2	I	Digital Input Format 2 Pin in Parallel Control Mode
10	SRCEN	O	Unlock Status Pin When the PDN pin = "L", this pin outputs "H".
11	TEST0	I	Test pin 0. Must be connected to DVSS in normal use.
12	TEST1	I	Test pin 1. Must be connected to DVSS in normal use.
13	I2C	I	Select serial mode "L": 4-wire serial Mode , "H": I2C Mode
14	PDN	I	Power-Down Mode Pin "H": Power up, "L": Power down reset and initializes the control register. The AK4137 should be reset once by bringing PDN pin = "L" upon power-up.
15	PSN	I	Parallel/Serial Mode Select "L": Serial Mode , "H": Parallel Mode

Note 1. 全ての入力ピンはオープンにしないでください。DVDD は同じ電源に繋いでください。

Note 2. PSN, CM3-0, OBIT1-0, TDM, ODIF1-0, IDIF2-0 and CAD1-0 pin must be changed when the PDN pin = "L".

No.	Pin Name	I/O	Function
16	CDTO	O	I2C= "L": Control Data Output Pin in Serial Control Mode
17	SDA	I/O	I2C= "H": Control Data In/Out Pin in Serial Control Mode
	CDTI	I	I2C= "L": Control Data Input Pin in Serial Control Mode
18	SLOW	I	Digital Filter Select Pin in Parallel Control Mode
	SCL	I	I2C= "H": Control Data Clock Input Pin in Serial Control Mode
	CCLK	I	I2C= "L": Control Data Clock Pin in Serial Control Mode
19	SD	I	Digital Filter Select Pin in Parallel Control Mode
	CSN	I	Chip Select Pin in Serial Control Mode , I2C= "L"
20	SMUTE	I	Soft Mute Pin in Parallel Control Mode When this pin is changed to "H", soft mute cycle is initiated. When returning "L", the output mute releases.
	ODIF1	I	Audio Interface Format #1 Pin for Output PORT
21	ODIF0	I	Audio Interface Format #0 Pin for Output PORT
22	DITHER	I	Dither Enable Pin "H": Dither ON, "L": Dither OFF
23	SMSEMI	I	Soft Mute Semi Auto Mode "L": Manual Mode , "H": Semi Auto Mode
24	MCKO	O	Master Clock Output Pin
25	SMT1	I	Soft Mute Timer select #1 Pin
26	SMT0	I	Soft Mute Timer select #0 Pin
27	SDTO	O	Audio Serial Data Output Pin for Output PORT When the PDN pin = "L", the SDTO pin outputs "L".
	DSDOL	O	DSD Data Pin in DSD Mode
28	OBICK	I/O	Audio Serial Data Clock Pin for Output PORT When the PDN pin = "L" in master mode, the OBICK pin outputs "L".
	ODCLK	I/O	DSD Clock Pin in DSD Mode
29	OLRCK	I/O	Output Channel Clock Pin for Output PORT When the PDN pin = "L" in master mode, the OLRCK pin outputs "L".
	DSDOR	O	DSD Data Pin in DSD Mode
30	TDM	I	TDM Format Select Pin "L"(connected to DVSS): Stereo Mode "H"(connected to DVDD): TDM mode for Output
31	XTO	O	X'tal Output Pin When the PDN pin = "L" or CM3-0 = "LHHL" or "LHHH" or "Hxxx" XTO outputs "L".
32	CLKMODE	I	Master Clock Select Pin "L"(connected to DVSS): X'tal Mode "H"(connected to DVDD): External Master Clock or TDM="H"

Note 1. 全ての入力ピンはオープンにしないでください。DVDD は同じ電源に繋いでください。

Note 2. PSN, CM3-0, OBIT1-0, TDM, ODIF1-0, IDIF2-0 and CAD1-0 pin must be changed when the PDN pin = "L".

No.	Pin Name	I/O	Function
33	XTI	I	X'tal Input Pin
	OMCLK	I	External Master Clock Input
	TDMI	I	TDMI Daisy-Chain Input Pin
34	DVSS	-	Digital Ground Pin
35	DVDD	-	Digital Power Supply Pin, 3.0 ~ 3.6V or 1.7 ~ 1.9V
36	DVDD	-	Digital Power Supply Pin, 3.0 ~ 3.6V or 1.7 ~ 1.9V
37	OBIT0	I	Bit Length Select #0 Pin for Output Data
38	OBIT1	I	Bit Length Select #1 Pin for Output Data
39	CM0	I	Clock Select or Mode Select #0 Pin for Output PORT
40	CM1	I	Clock Select or Mode Select #1 Pin for Output PORT
41	CM2	I	Clock Select or Mode Select #2 Pin for Output PORT
42	CM3	I	Clock Select or Mode Select #3 Pin for Output PORT
43	VSEL	I	Digital Power select “L”: DV18 is Output pin, “H”: DV18 is Power Supply Pin
44	DV18	I/O	Digital Power Pin, Typ 1.8V VSEL= “L”, Output When the PDN pin= “L”, the DV18 pin outputs “L”. Current must not be taken from this pin. A 10 μ F (\pm 30%; including the temperature characteristics) capacitor should be connected between this pin and DVSS. When this capacitor is polarized, the positive polarity pin should be connected to the DV18 pin. VSEL= “H”, Input
45	DVSS	-	Digital Ground Pin
46	DVDD	-	Digital Power Supply Pin, 3.0 ~ 3.6V or 1.7 ~ 1.9V
47	NC	-	This pin must be connected to DVSS.
48	NC	-	This pin must be connected to DVSS.

Note 1. 全ての入力ピンはオープンにしないでください。DVDD は同じ電源に繋いでください。

Note 2. PSN, CM3-0, OBIT1-0, TDM, ODIF1-0, IDIF2-0 and CAD1-0 pin must be changed when the PDN pin = “L”.

*使用しない入出力ピン

区分	ピン名	設定
Digital	SMSEMI, DITHER, CSN/SMUTE	DVSS に接続
	XTI/OMCLK/TDMI	DVSS に接続 (スレーブモード)
	SRCEN, MCKO, XTO, CDTO	オープン

*PDN pin = “L”の時、I/O ピンの状態は次の通り規定されます。(マスタモード時は“L”出力になります。)
AK4137 は CM3 pin = “H”の時、必ず出力になります。

設定ピン				OLRCK、 OBICK
CM3	CM2	CM1	CM0	
L	L	L	L	“L”出力
L	L	L	H	
L	L	H	L	
L	L	H	H	
L	H	L	L	入力
L	H	L	H	“L”出力
L	H	H	L	
L	H	H	H	
H	-	-	-	

*PDN pin = “L”の時、出力ピンの状態は次の通り規定されます。

出力ピン	状態
SDTO	“L”出力
SRCEN	“H”出力
MCKO	“L”出力
XTO	“L”出力
CDTO	Hi-z

6. 絶対最大定格

(DVSS=0V; Note 3)

Parameter		Symbol	Min.	Max.	Unit
Power Supplies	Digital	DVDD	-0.3	4.3	V
	(Internal Digital) (Note 4)	DV18	-0.3	2.5	V
Input Current, Any Pin Except Supplies		IIN	-	±10	mA
Digital Input Voltage (Note 5)		VDIN	-0.3	DVDD+0.3	V
Ambient Temperature (Power applied) (Note 6)		Ta	-40	105	°C
Storage Temperature		Tstg	-65	150	°C

Note 3. 電圧は全てグラウンドに対する値です。

Note 4. DVSS は同じベタグラウンドに接続してください。

Note 5. DSDIL/DEM0, DSDIR/DEM1, ILRCK, IBICK, DCLK, SDTI, IDIF0/CAD0, IDIF1/CAD1, IDIF2, PDN, PSN, I2C, SLOW/CDTI/SDA, SD/CCLK/SCL, SMUTE/CSN, SMSEMI, SMT1-0, OBIT1-0, ODIF1-0, CM3-0, DITHER, VSEL, TEST1-0 pin

Note 6. 実装されるプリント基板の配線密度は 100%以上にしてください。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。
また通常の動作は保証されません。

7. 推奨動作条件

(DVSS=0V; Note 3; VSEL=“L”)

Parameter		Symbol	Min.	Typ.	Max.	Unit
Power Supplies	Digital	DVDD	3.0	3.3	3.6	V

(DVSS=0V; Note 3; VSEL=“H”)

Parameter		Symbol	Min.	Typ.	Max.	Unit
Power Supplies:	Digital	DVDD	1.7	1.8	1.9	V
	Digital	DV18	1.7	1.8	1.9	V
(Note 7)	Difference	DVDD- DV18	-	0	-	V

Note 3. 電圧は全てグラウンドに対する値です。

Note 7. DVDD と DV18 は外部で接続してください。

電源は PDN pin = “L” の状態で各電源を立ち上げ、電源が立ち上がった後、PDN pin = “H” にしてください。
マイコンの書き込みは PDN pin “↑” 後、5ms 後、行って下さい。

8. SRC 特性

■ PCMIN->PCMOU

(Ta=-40~ +105°C; DVDD=3.0~3.6V or DVDD=DV18=1.7V~1.9V; DVSS=0V; Signal Frequency=1kHz; data = 32bit; measurement bandwidth = 20Hz~ FSO/2; unless otherwise specified.)

Parameter	Symbol	Min.	Typ.	Max.	Unit
Resolution				32	Bits
Input Sample Rate	FSI	8		768	kHz
Output Sample Rate	FSO	8		768	kHz
THD+N (Input= 1kHz, 0dBFS)					
FSO/FSI=44.1kHz/48kHz		-	-150	-	dB
FSO/FSI=48kHz/44.1kHz		-	-133	-	dB
FSO/FSI=48kHz/192kHz		-	-153	-	dB
FSO/FSI=192kHz/48kHz		-	-144	-	dB
Worst Case (FSO/FSI=32kHz/176.4kHz)		-	-	-111	dB
Dynamic Range (Input= 1kHz, -60dBFS)					
FSO/FSI=44.1kHz/48kHz		-	184	-	dB
FSO/FSI=48kHz/44.1kHz		-	183	-	dB
FSO/FSI=48kHz/192kHz		-	184	-	dB
FSO/FSI=192kHz/48kHz		-	184	-	dB
Worst Case (FSO/FSI= 48kHz/32kHz)		176	-	-	dB
Dynamic Range (Input= 1kHz, -60dBFS, A-weighted)					
FSO/FSI=44.1kHz/48kHz		-	186	-	dB
Ratio between Input and Output Sample Rate	FSO/FSI	1/6		24	-

■ PCMIN->DSDOUT

(Ta=-40~ +105°C; DVDD=3.0~3.6V or DVDD=VD18=1.7~1.9V; DVSS=0V; Signal Frequency=1kHz; data = 32bit; measurement bandwidth = 20Hz~ FSO/2; unless otherwise specified.)

Parameter	Symbol	Min.	Typ.	Max.	Unit
Resolution				32	Bits
Input Sample Rate	FSI	8		768	kHz
Output Sample Rate	FSO	44.1		48	kHz
THD+N (Input= 1kHz, 0dBFS, Note 8)					
64FSO/FSI=2.822MHz/44.1kHz		-	-115	-	dB
128FSO/FSI=5.6448MHz/44.1kHz		-	-119	-	dB
256FSO/FSI=11.2896MHz/176.4kHz		-	-123	-	dB
Dynamic Range (Input= 1kHz, -60dBFS, Note 8)					
64FSO/FSI=2.822MHz /44.1kHz		-	116	-	dB
128FSO/FSI=5.6448MHz/44.1kHz		-	119	-	dB
256FSO/FSI=11.2896MHz/176.4kHz		-	123	-	dB
Ratio between Input and Output Sample Rate	FSO/FSI	1/16		1	-

Note 8. OGAINM6 bit = "1"

■ DSDIN->PCMOUT

(Ta=-40~ +105°C; DVDD=3.0~3.6V or DVDD=VD18=1.7~1.9V; DVSS=0V; Signal Frequency=1KHz; data = 32bit; measurement bandwidth = 20Hz~ FSO/2; unless otherwise specified.)

Parameter	Symbol	Min.	Typ.	Max.	Unit
Resolution				32	Bits
Input Sample Rate	FSI	44.1		48	kHz
Output Sample Rate	FSO	44.1		768	kHz
THD+N (Input= 1kHz, -6dBFS, Note 9) FSO/64FSI =44.1kHz/2.8224MHz FSO/128FSI =44.1kHz/5.6448MHz FSO/256FSI = 44.1kHz/11.2896MHz		-	-98	-	dB
		-	-115	-	dB
		-	-115	-	dB
Dynamic Range (Input= 1kHz, -60dBFS, Note 9) FSO/64FSI =44.1kHz/2.8224MHz FSO/128FSI =44.1kHz/5.6448MHz FSO/256FSI =44.1kHz/11.2896MHz		-	108	-	dB
		-	140	-	dB
		-	132	-	dB
Dynamic Range (Input= 1kHz, -60dBFS, A-weighted, Note 9) FSO/128FSI =44.1kHz/5.6448MHz		-	142	-	dB
Ratio between Input and Output Sample Rate	FSO/FSI	1		17.4	-

Note 9. IGAINM6 bit = "1". AK4137 の DSD 出力をソースとして定義。

■ DSDIN->DSDOUT

(Ta=-40~ +105°C; DVDD=3.0~3.6V or DVDD=VD18=1.7~1.9V; DVSS=0V; Signal Frequency=1KHz; data = 32bit; measurement bandwidth = 20Hz~ FSO/2; unless otherwise specified.)

Parameter	Symbol	Min.	Typ.	Max.	Unit
Resolution				32	Bits
Input Sample Rate	FSI	44.1		48	kHz
Output Sample Rate	FSO	44.1		48	kHz
THD+N (Input= 1kHz, -6dBFS, Note 10) 64FSO/64FSI =2.8224MHz/2.8224MHz 128FSO/128FSI =5.6448MHz/5.6448MHz 256FSO/256FSI =11.2896MHz/11.2896MHz		-	-111	-	dB
		-	-115	-	dB
		-	-115	-	dB
Dynamic Range (Input= 1kHz, -60dBFS, Note 10) 64FSO/64FSI =2.8224MHz/2.8224MHz 128FSO/128FSI =5.6448MHz/5.6448MHz 256FSO/256FSI =11.2896MHz/11.2896MHz		-	116	-	dB
		-	119	-	dB
		-	123	-	dB
Ratio between Input and Output Sample Rate	FSO/FSI	1		1	-

Note 10. *IGAINM6 bit = "1"、OGAINM6 bit = "1"

9. 消費電流

■ 内蔵 LDO モード

(Ta=-40~ +105°C; DVDD=3.0~3.6V)

Parameter	Symbol	Min.	Typ.	Max.	Unit
Power Supply Current Normal operation: (PDN = "H") FSI=FSO=48kHz at Master Mode : DVDD=3.3V		-	11	-	mA
FSI=FSO=192kHz at Master Mode: DVDD=3.3V		-	33	-	mA
FSI=FSO=768kHz at Master Mode: DVDD=3.3V		-	40	-	mA
: DVDD=3.6V		-	-	60	mA
Power down: PDN = "L" (Note 11) DVDD=3.6V			10	100	μA

Note 11. クロックピンを含めた全てのデジタル入力が DVSS と同電位の時。

■ DV18 外部供給モード

(Ta=-40~ +105°C; DVDD=DV18=1.7~1.9V)

Parameter	Symbol	Min.	Typ.	Max.	Unit
Power Supply Current Normal operation: FSI=FSO=48kHz at Master Mode: DVDD=DV18=1.8V		-	11	-	mA
FSI=FSO=192kHz at Master Mode: DVDD=DV18=1.8V		-	28	-	mA
FSI=FSO=768kHz at Master Mode: DVDD=DV18=1.8V		-	32	-	mA
: DVDD=DV18=1.9V		-	-	50	mA
Power down: PDN = "L" (Note 11) DVDD=DV18=1.9V			10	100	μA

Note 11. クロックピンを含めた全てのデジタル入力が DVSS と同電位の時。

10. フィルタ特性

■ シャープローloff・フィルタ特性

(Ta=-40~+105°C; DVDD=3.0~3.6V or DVDD=DV18=1.7V~1.9V, DVSS=0V)

Parameter	Symbol	Min.	Typ.	Max.	Unit	
Digital Filter						
Passband -0.01dB	$0.985 \leq \text{FSO/FSI} \leq 24.000$	PB	0	-	0.4583FSI	kHz
	$0.905 \leq \text{FSO/FSI} < 0.985$	PB	0	-	0.4167FSI	kHz
	$0.714 \leq \text{FSO/FSI} < 0.905$	PB	0	-	0.3195FSI	kHz
	$0.656 \leq \text{FSO/FSI} < 0.714$	PB	0	-	0.2852FSI	kHz
	$0.536 \leq \text{FSO/FSI} < 0.656$	PB	0	-	0.2182FSI	kHz
	$0.492 \leq \text{FSO/FSI} < 0.536$	PB	0	-	0.2177FSI	kHz
	$0.452 \leq \text{FSO/FSI} < 0.492$	PB	0	-	0.1948FSI	kHz
	$0.357 \leq \text{FSO/FSI} < 0.452$	PB	0	-	0.1458FSI	kHz
	$0.324 \leq \text{FSO/FSI} < 0.357$	PB	0	-	0.1302FSI	kHz
	$0.246 \leq \text{FSO/FSI} < 0.324$	PB	0	-	0.0917FSI	kHz
	$0.226 \leq \text{FSO/FSI} < 0.246$	PB	0	-	0.0826FSI	kHz
	$0.1667 \leq \text{FSO/FSI} < 0.226$	PB	0	-	0.0583FSI	kHz
Stopband	$0.985 \leq \text{FSO/FSI} \leq 24.000$	SB	0.5417FSI	-	-	kHz
	$0.905 \leq \text{FSO/FSI} < 0.985$	SB	0.5021FSI	-	-	kHz
	$0.714 \leq \text{FSO/FSI} < 0.905$	SB	0.3965FSI	-	-	kHz
	$0.656 \leq \text{FSO/FSI} < 0.714$	SB	0.3643FSI	-	-	kHz
	$0.536 \leq \text{FSO/FSI} < 0.656$	SB	0.2974FSI	-	-	kHz
	$0.492 \leq \text{FSO/FSI} < 0.536$	SB	0.2813FSI	-	-	kHz
	$0.452 \leq \text{FSO/FSI} < 0.492$	SB	0.2604FSI	-	-	kHz
	$0.357 \leq \text{FSO/FSI} < 0.452$	SB	0.2116FSI	-	-	kHz
	$0.324 \leq \text{FSO/FSI} < 0.357$	SB	0.1969FSI	-	-	kHz
	$0.246 \leq \text{FSO/FSI} < 0.324$	SB	0.1573FSI	-	-	kHz
	$0.226 \leq \text{FSO/FSI} < 0.246$	SB	0.1471FSI	-	-	kHz
	$0.1667 \leq \text{FSO/FSI} < 0.226$	SB	0.1020FSI	-	-	kHz
Passband Ripple	$0.226 \leq \text{FSO/FSI} \leq 24.000$	PR	-	-	± 0.01	dB
	$0.1667 \leq \text{FSO/FSI} < 0.226$	PR	-	-	± 0.03	dB
Stopband Attenuation	$0.985 \leq \text{FSO/FSI} \leq 24.000$	SA	140.2	-	-	dB
	$0.905 \leq \text{FSO/FSI} < 0.985$	SA	140.9	-	-	dB
	$0.714 \leq \text{FSO/FSI} < 0.905$	SA	135.2	-	-	dB
	$0.656 \leq \text{FSO/FSI} < 0.714$	SA	135.1	-	-	dB
	$0.536 \leq \text{FSO/FSI} < 0.656$	SA	133.5	-	-	dB
	$0.492 \leq \text{FSO/FSI} < 0.536$	SA	115.3	-	-	dB
	$0.452 \leq \text{FSO/FSI} < 0.492$	SA	118.2	-	-	dB
	$0.357 \leq \text{FSO/FSI} < 0.452$	SA	123.3	-	-	dB
	$0.324 \leq \text{FSO/FSI} < 0.357$	SA	122.9	-	-	dB
	$0.246 \leq \text{FSO/FSI} < 0.324$	SA	117.9	-	-	dB
	$0.226 \leq \text{FSO/FSI} < 0.246$	SA	119.7	-	-	dB
$0.1667 \leq \text{FSO/FSI} < 0.226$	SA	90.3	-	-	dB	
Group Delay (Note 12)	GD	-	64	-	1/fs	

Note 12. 入力と出力の位相ずれがない時の、L、Rのデータが入力された後の ILRCK の立ち上がりから、L、R データを出力する前の OLRCK の立ち上がりまでの期間です。

■ スローロールオフ・フィルタ特性

(Ta=-40~ +105°C; DVDD=3.0~3.6V or DVDD=DV18=1.7V~1.9V, DVSS=0V)

Parameter		Symbol	Min.	Typ.	Max.	Unit
Digital Filter						
Passband -0.01dB	$0.1667 \leq FSO/FSI < 24.000$	PB	0	-	0.0417FSI	kHz
Stopband	$0.1667 \leq FSO/FSI < 24.000$	SB	0.4167FSI	-		kHz
Passband Ripple		PR	-	-	±0.01	dB
Stopband Attenuation		SA	-	108.1	-	dB
Group Delay	(Note 12)	GD	-	64	-	1/fs

Note 12. 入力と出力の位相ずれがない時の、L, R のデータが入力された後の ILRCK の立ち上がりから、L, R データを出力する前の OLRCK の立ち上がりまでの期間です。

■ ショートディレイ・シャープロールオフ・フィルタ特性

(Ta=-40~+105°C ; DVDD=3.0~3.6V or DVDD=DV18=1.7V~1.9V, DVSS=0V)

Parameter		Symbol	Min.	Typ.	Max.	Unit
Digital Filter						
Passband -0.01dB	$0.985 \leq \text{FSO/FSI} \leq 24.000$	PB	0	-	0.4583FSI	kHz
	$0.905 \leq \text{FSO/FSI} < 0.985$	PB	0	-	0.4167FSI	kHz
	$0.714 \leq \text{FSO/FSI} < 0.905$	PB	0	-	0.3195FSI	kHz
	$0.656 \leq \text{FSO/FSI} < 0.714$	PB	0	-	0.2852FSI	kHz
	$0.536 \leq \text{FSO/FSI} < 0.656$	PB	0	-	0.2182FSI	kHz
	$0.492 \leq \text{FSO/FSI} < 0.536$	PB	0	-	0.2177FSI	kHz
	$0.452 \leq \text{FSO/FSI} < 0.492$	PB	0	-	0.1948FSI	kHz
	$0.357 \leq \text{FSO/FSI} < 0.452$	PB	0	-	0.1458FSI	kHz
	$0.324 \leq \text{FSO/FSI} < 0.357$	PB	0	-	0.1302FSI	kHz
	$0.246 \leq \text{FSO/FSI} < 0.324$	PB	0	-	0.0917FSI	kHz
	$0.226 \leq \text{FSO/FSI} < 0.246$	PB	0	-	0.0826FSI	kHz
$0.1667 \leq \text{FSO/FSI} < 0.226$	PB	0	-	0.0583FSI	kHz	
Stopband	$0.985 \leq \text{FSO/FSI} \leq 24.000$	SB	0.5417FSI	-	-	kHz
	$0.905 \leq \text{FSO/FSI} < 0.985$	SB	0.5021FSI	-	-	kHz
	$0.714 \leq \text{FSO/FSI} < 0.905$	SB	0.3965FSI	-	-	kHz
	$0.656 \leq \text{FSO/FSI} < 0.714$	SB	0.3643FSI	-	-	kHz
	$0.536 \leq \text{FSO/FSI} < 0.656$	SB	0.2974FSI	-	-	kHz
	$0.492 \leq \text{FSO/FSI} < 0.536$	SB	0.2813FSI	-	-	kHz
	$0.452 \leq \text{FSO/FSI} < 0.492$	SB	0.2604FSI	-	-	kHz
	$0.357 \leq \text{FSO/FSI} < 0.452$	SB	0.2116FSI	-	-	kHz
	$0.324 \leq \text{FSO/FSI} < 0.357$	SB	0.1969FSI	-	-	kHz
	$0.246 \leq \text{FSO/FSI} < 0.324$	SB	0.1573FSI	-	-	kHz
	$0.226 \leq \text{FSO/FSI} < 0.246$	SB	0.1471FSI	-	-	kHz
$0.1667 \leq \text{FSO/FSI} < 0.226$	SB	0.1020FSI	-	-	kHz	
Passband Ripple	$0.226 \leq \text{FSO/FSI} \leq 24.000$	PR	-	-	±0.01	dB
	$0.1667 \leq \text{FSO/FSI} < 0.226$	PR	-	-	±0.03	dB
Stopband Attenuation	$0.985 \leq \text{FSO/FSI} \leq 24.000$	SA	140.2	-	-	dB
	$0.905 \leq \text{FSO/FSI} < 0.985$	SA	140.9	-	-	dB
	$0.714 \leq \text{FSO/FSI} < 0.905$	SA	135.2	-	-	dB
	$0.656 \leq \text{FSO/FSI} < 0.714$	SA	135.1	-	-	dB
	$0.536 \leq \text{FSO/FSI} < 0.656$	SA	133.5	-	-	dB
	$0.492 \leq \text{FSO/FSI} < 0.536$	SA	115.3	-	-	dB
	$0.452 \leq \text{FSO/FSI} < 0.492$	SA	118.2	-	-	dB
	$0.357 \leq \text{FSO/FSI} < 0.452$	SA	123.3	-	-	dB
	$0.324 \leq \text{FSO/FSI} < 0.357$	SA	122.9	-	-	dB
	$0.246 \leq \text{FSO/FSI} < 0.324$	SA	117.9	-	-	dB
	$0.226 \leq \text{FSO/FSI} < 0.246$	SA	119.7	-	-	dB
$0.1667 \leq \text{FSO/FSI} < 0.226$	SA	90.3	-	-	dB	
Group Delay (Note 12)	$0.905 \leq \text{FSO/FSI} \leq 24.000$	GD	-	20	-	1/fs
	$0.656 \leq \text{FSO/FSI} < 0.905$	GD	-	22	-	1/fs
	$0.536 \leq \text{FSO/FSI} < 0.656$	GD	-	26	-	1/fs
	$0.492 \leq \text{FSO/FSI} < 0.536$	GD	-	23	-	1/fs
	$0.452 \leq \text{FSO/FSI} < 0.492$	GD	-	24	-	1/fs
	$0.324 \leq \text{FSO/FSI} < 0.452$	GD	-	26	-	1/fs
	$0.246 \leq \text{FSO/FSI} < 0.324$	GD	-	29	-	1/fs
	$0.226 \leq \text{FSO/FSI} < 0.246$	GD	-	30	-	1/fs
$0.1667 \leq \text{FSO/FSI} < 0.226$	GD	-	32	-	1/fs	

Note 12. 入力と出力の位相ずれがない時の、L, R のデータが入力された後の ILRCK の立ち上がりから、L, R データを出力する前の OLRCK の立ち上がりまでの期間です。

■ ショートディレイ・スローロールオフ・フィルタ特性

(Ta=-40~ +105°C; DVDD=3.0~3.6V or DVDD=DV18=1.7V~1.9V, DVSS=0V)

Parameter		Symbol	Min.	Typ.	Max.	Unit
Digital Filter						
Passband -0.01dB	0.1667≤FSO/FSI < 24.000	PB	0	-	0.0417FSI	kHz
Stopband	0.1667≤FSO/FSI < 24.000	SB	0.4167FSI	-		kHz
Passband Ripple		PR	-	-	±0.01	dB
Stopband Attenuation		SA	-	108.1	-	dB
Group Delay (Note 12)		GD	-	21	-	1/fs

Note 12. 入力と出力の位相ずれがない時の、L, R のデータが入力された後の ILRCK の立ち上がりから、L, R データを出力する前の OLRCK の立ち上がりまでの期間です。

11. DSD モード特性

■ シャープロールオフ・フィルタ特性

(Ta=-40~+105°C; DVDD=3.0~3.6V or DVDD=DV18=1.7V~1.9V; DVSS=0V, ILRCK=48kHz)

Parameter		Symbol	Min.	Typ.	Max.	Unit		
Digital Filter								
Passband	PCMFSO bit	"00"	-0.24dB	PB	0	-	20	kHz
	PCMFSO bit	"01"	-1.04dB	PB	0	-	40	kHz
	PCMFSO bit	"10"	-3.86dB	PB	0	-	80	kHz
	PCMFSO bit	"11"	-5.90dB	PB	0	-	100	kHz
Stopband	PCMFSO bit	"00"	-	SB	46	-	-	kHz
	PCMFSO bit	"01"	-	SB	66	-	-	kHz
	PCMFSO bit	"10"	-	SB	86	-	-	kHz
	PCMFSO bit	"11"	-	SB	126	-	-	kHz
Passband Ripple	PCMFSO bit	"00"	-	PR	-	-	±0.2	dB
	PCMFSO bit	"01"	-	PR	-	-	±0.5	dB
	PCMFSO bit	"10"	-	PR	-	-	±2.0	dB
	PCMFSO bit	"11"	-	PR	-	-	±3.0	dB
Stopband Attenuation				SA	-	112	-	dB
Group Delay		(Note 15)		GD	-	15	-	1/fs

Note 13. SACDフォーマットブック(Scarlet Book)では、DSD信号のピークレベルがデューティレンジ25%~75%を越えることは推奨されていません。

Note 14. 入りに1kHz、デューティレンジ25%~75%のsine波を与えたときの出力レベルを0dBとします。

Note 15. Group DelayはPCM出力(44.1kHz or 48kHz)のとき

■ スローロールオフ・フィルタ特性

(Ta=-40~+105°C; DVDD=3.0~3.6V or DVDD=DV18=1.7V~1.9V; DVSS=0V, ILRCK=48kHz)

Parameter		Symbol	Min.	Typ.	Max.	Unit
Digital Filter						
Passband	-0.28dB	PB	0	-	10	kHz
Stopband		SB	156	-	-	kHz
Passband Ripple		PR	-	-	±0.15	dB
Stopband Attenuation		SA	-	112	-	dB
Group Delay	(Note 15)	GD	-	15	-	1/fs

Note 13. SACDフォーマットブック(Scarlet Book)では、DSD信号のピークレベルがデューティレンジ25%~75%を越えることは推奨されていません。

Note 14. 入りに1kHz、デューティレンジ25%~75%のsine波を与えたときの出力レベルを0dBとします。

Note 15. Group DelayはPCM出力(44.1kHz or 48kHz)のとき

■ ショートディレイ・シャープロールオフ・フィルタ特性

(Ta=-40~+105°C; DVDD=3.0~3.6V or DVDD=DV18=1.7V~1.9V; DVSS=0V, ILRCK=48kHz)

Parameter				Symbol	Min.	Typ.	Max.	Unit
Digital Filter								
Passband	PCMFSO bit	"00"	-0.24dB	PB	0	-	20	kHz
	PCMFSO bit	"01"	-1.04dB	PB	0	-	40	kHz
	PCMFSO bit	"10"	-3.86dB	PB	0	-	80	kHz
	PCMFSO bit	"11"	-5.90dB	PB	0	-	100	kHz
Stopband	PCMFSO bit	"00"	-	SB	46	-	-	kHz
	PCMFSO bit	"01"	-	SB	66	-	-	kHz
	PCMFSO bit	"10"	-	SB	86	-	-	kHz
	PCMFSO bit	"11"	-	SB	126	-	-	kHz
Passband Ripple	PCMFSO bit	"00"	-	PR	-	-	±0.2	dB
	PCMFSO bit	"01"	-	PR	-	-	±0.5	dB
	PCMFSO bit	"10"	-	PR	-	-	±2.0	dB
	PCMFSO bit	"11"	-	PR	-	-	±3.0	dB
Stopband Attenuation				SA	-	112	-	dB
Group Delay				GD	-	13	-	1/fs

Note 13. SACDフォーマットブック (Scarlet Book)では、DSD信号のピークレベルがデューティレンジ25%~75%を越えることは推奨されていません。

Note 14. 入力に1kHz、デューティレンジ25%~75%のsine波を与えたときの出力レベルを0dBとします。

Note 15. Group DelayはPCM出力(44.1kHz or 48kHz)のとき

■ ショートディレイ・スローロールオフ・フィルタ特性

(Ta=-40~+105°C; DVDD=3.0~3.6V or DVDD=DV18=1.7V~1.9V; DVSS=0V, ILRCK=48kHz)

Parameter				Symbol	Min.	Typ.	Max.	Unit
Digital Filter								
Passband	-0.28dB			PB	0	-	10	kHz
Stopband				SB	156	-	-	kHz
Passband Ripple				PR	-	-	±0.15	dB
Stopband Attenuation				SA	-	112	-	dB
Group Delay				GD	-	13	-	1/fs

Note 13. SACDフォーマットブック (Scarlet Book)では、DSD信号のピークレベルがデューティレンジ25%~75%を越えることは推奨されていません。

Note 14. 入力に1kHz、デューティレンジ25%~75%のsine波を与えたときの出力レベルを0dBとします。

Note 15. Group DelayはPCM出力(44.1kHz or 48kHz)のとき

12. 入出力組み合わせ例

入力データと出力データの可能な、組み合わせを示します。

Fsiは入力データのサンプルレート、Fsoは出力データのサンプルレートです。

Fsi[KHz]	Fso[KHz]		Fso[MHz]		
	PCM		DSD		
	min	max			
8	8	192	-	-	-
11.025	8	264.6	-	-	-
16	8	384	-	-	-
32	8	768	-	-	-
44.1	8	768	2.8224	5.6448	-
48	8	768	2.8224	5.6448	-
88.2	14.7	768	2.8224	5.6448	-
96	16	768	2.8224	5.6448	-
176.4	29.6	768	2.8224	5.6448	11.2896
192	32	768	2.8224	5.6448	11.2896

Fsi[MHz]	Fso[KHz]		Fso[MHz]		
	PCM		DSD		
	min	max			
2.8224	44.1	768	2.8224	5.6448	11.2896
5.6448	44.1	768	2.8224	5.6448	11.2896
11.2896	44.1	768	2.8224	5.6448	11.2896

Fsi[KHz]	Fso[KHz]		Fso[MHz]		
	PCM		DSD		
	min	max			
8	8	192	-	-	-
12	8	288	-	-	-
16	8	384	-	-	-
32	8	768	-	-	-
44.1	8	768	3.072	6.144	-
48	8	768	3.072	6.144	-
88.2	14.7	768	3.072	6.144	-
96	16	768	3.072	6.144	-
176.4	29.6	768	3.072	6.144	-
192	32	768	3.072	6.144	12.288

Fsi[MHz]	Fso[KHz]		Fso[MHz]		
	PCM		DSD		
	min	max			
3.072	48	768	3.072	6.144	12.288
6.144	48	768	3.072	6.144	12.288
12.288	48	768	3.072	6.144	12.288

下記組み合わせはダウンコンバートした場合、歪特性が 80dB 程度になる場合があります。

Fsi[KHz]	Fso[KHz]		Fso[MHz]		
PCM	PCM		DSD		
	min	max			
384	64~384	768	2.8224	5.6448	11.2896
768	128~768	768	2.8224	5.6448	11.2896

Fsi[KHz]	Fso[KHz]		Fso[MHz]		
PCM	PCM		DSD		
	min	max			
384	64~384	768	3.072	6.144	12.288
768	128~768	768	3.072	6.144	12.288

13. DC 特性

(Ta=-40~ +105°C; DVDD=3.0~3.6V VSEL = "L" or DVDD=DV18=1.7V~1.9V: VSEL = "H")

Parameter	Symbol	Min.	Typ.	Max.	Unit
High-Level Input Voltage	V _{IH}	70%DVDD	-	-	V
Low-Level Input Voltage	V _{IL}	-	-	30%DVDD	V
High-Level Output Voltage Except SDA pin (I _{out} =-400μA)	V _{OH}	DVDD-0.4	-	-	V
Low-Level Output Voltage Except SDA pin (I _{out} =400μA)	V _{OL}	-	-	0.4	V
SDA pin (I _{out} =3mA)	V _{OL}	-	-	0.4	V
Input Leakage Current	I _{in}	-	-	±10	μA

14. スイッチング特性

(Ta=-40~ +105°C; DVDD=3.0~3.6V: VSEL = "L" or DVDD=DV18=1.7V~1.9V: VSEL = "H"; C_L=20pF)

Parameter	Symbol	Min.	Typ.	Max.	Unit
Master Clock Timing					
Crystal Oscillator Frequency (44.1, 48, 88.2, 96KHz の256倍)	fXTAL	11.2896		24.576	MHz
OMCLK Input					
64 FSO :	fCLK	0.512		49.152	MHz
Pulse Width Low	tCLKL	7			ns
Pulse Width High	tCLKH	7			ns
128 FSO :	fCLK	1.024		49.152	MHz
Pulse Width Low	tCLKL	7			ns
Pulse Width High	tCLKH	7			ns
256 FSO :	fCLK	2.048		49.152	MHz
Pulse Width Low	tCLKL	7			ns
Pulse Width High	tCLKH	7			ns
384 FSO :	fCLK	3.072		36.864	MHz
Pulse Width Low	tCLKL	10			ns
Pulse Width High	tCLKH	10			ns
512 FSO :	fCLK	4.096		49.152	MHz
Pulse Width Low	tCLKL	7			ns
Pulse Width High	tCLKH	7			ns
768 FSO :	fCLK	6.144		36.864	MHz
Pulse Width Low	tCLKL	10			ns
Pulse Width High	tCLKH	10			ns
MCKO Output					
Frequency	fMCK	0.512		49.152	MHz
Duty (Note 16)	dMCLK	40	50	60	%

Note 16. 出力ポートのマスタクロックを水晶振動子で供給する場合の MCKO 出力 Duty の仕様です。

Parameter	Symbol	Min.	Typ.	Max.	Unit	
Input PORT ILRCK						
Frequency					kHz	
Normal speed mode	FSIN	8		54	kHz	
Double speed mode	FSID	54		108	kHz	
Quad speed mode	FSIQ	108		216	kHz	
Oct speed mode	FSIO		384		kHz	
Hex speed mode	FSIH		768		kHz	
Duty Cycle	Slave Mode	Duty	48	50	52	%
Output PORT OLRCK						
Frequency						
Slave mode						
Normal speed mode	FSON	8		54	kHz	
Double speed mode	FSOD	54		108	kHz	
Quad speed mode	FSOQ	108		216	kHz	
Oct speed mode	FSOO		384		kHz	
Hex speed mode	FSOH		768		kHz	
Master mode, OMCLK Input, 64FSO mode	FSO	8		768	kHz	
Master mode, OMCLK Input, 128FSO mode	FSO	8		384	kHz	
Master mode, OMCLK Input, 256FSO mode	FSO	8		192	kHz	
Master mode, OMCLK Input, 384FSO mode	FSO	8		96	kHz	
Master mode, OMCLK Input, 512FSO mode	FSO	8		96	kHz	
Master mode, OMCLK Input, 768FSO mode	FSO	8		48	kHz	
Duty Cycle						
Slave Mode	Duty	48	50	52	%	
Master Mode	Duty		50		%	
Input PORT ILRCK for TDM256 Mode						
Frequency	FSI	8		96	kHz	
"H" time (slave mode)	tLRH	1/256FSI			ns	
"L" time (slave mode)	tLRL	1/256FSI			ns	
Input PORT ILRCK for TDM512 Mode						
Frequency	FSI	8		48	kHz	
"H" time (slave mode)	tLRH	1/512FSI			ns	
"L" time (slave mode)	tLRL	1/512FSI			ns	
Output PORT OLRCK for TDM256 Mode						
Frequency	FSO	8		96	kHz	
"H" time (slave mode)	tLRH	1/256 FSO			ns	
"L" time (slave mode)	tLRL	1/256 FSO			ns	
Output PORT OLRCK for TDM512 Mode						
Frequency	FSO	8		48	kHz	
"H" time (slave mode)	tLRH	1/512 FSO			ns	
"L" time (slave mode)	tLRL	1/512 FSO			ns	

Parameter	Symbol	Min.	Typ.	Max.	Unit
Audio Interface Timing					
Input PORT (Slave mode)					
IBICK Period					
Normal speed mode	tBCK	1/256 FSIN			ns
Double speed mode	tBCK	1/128 FSID			ns
Quad speed mode	tBCK	1/64 FSIQ			ns
Oct speed mode	tBCK	1/64 FSIO			ns
Hex speed mode	tBCK	1/64 FSIH			ns
IBICK Pulse Width Low	tBCKL	7			ns
Pulse Width High	tBCKH	7			ns
ILRCK Edge to IBICK “↑” (Note 17)	tLRB	5			ns
IBICK “↑” to ILRCK Edge (Note 17)	tBLR	5			ns
SDTI Hold Time from IBICK “↑”	tSDH	5			ns
SDTI Setup Time to IBICK “↑”	tSDS	5			ns
DSD Audio Interface Timing (64 mode)					
IDCLK Period	tDCK	-	1/64FSIN	-	ns
IDCLK Pulse Width Low	tDCKL	160			ns
IDCLK Pulse Width High	tDCKH	160			ns
IDCLK Edge to DSDL/R	tDDD	-20		20	ns
DSD Audio Interface Timing (128 mode)					
IDCLK Period	tDCK	-	1/128FSIN	-	ns
IDCLK Pulse Width Low	tDCKL	80			ns
IDCLK Pulse Width High	tDCKH	80			ns
IDCLK Edge to DSDL/R	tDDD	-10		10	ns
DSD Audio Interface Timing (256 mode)					
IDCLK Period	tDCK	-	1/256FSIN	-	ns
IDCLK Pulse Width Low	tDCKL	40			ns
IDCLK Pulse Width High	tDCKH	40			ns
IDCLK Edge to DSDL/R	tDDD	-5		5	ns
Input PORT (TDM256 slave mode)					
IBICK Period	tBCK	40			ns
IBICK Pulse Width Low	tBCKL	16			ns
Pulse Width High	tBCKH	16			ns
ILRCK Edge to IBICK “↑” (Note 17)	tLRB	10			ns
IBICK “↑” to ILRCK Edge (Note 17)	tBLR	10			ns
SDTI Hold Time from IBICK “↑”	tSDH	10			ns
SDTI Setup Time to IBICK “↑”	tSDS	6			ns
Input PORT (TDM512 slave mode)					
IBICK Period	tBCK	40			ns
IBICK Pulse Width Low	tBCKL	16			ns
Pulse Width High	tBCKH	16			ns
ILRCK Edge to IBICK “↑” (Note 17)	tLRB	10			ns
IBICK “↑” to ILRCK Edge (Note 17)	tBLR	10			ns
SDTI Hold Time from IBICK “↑”	tSDH	10			ns
SDTI Setup Time to IBICK “↑”	tSDS	6			ns

Note 17. この規格値は ILRCK のエッジと IBICK の“↑”が重ならないように規定しています。

Note 18. IBICK, OBICK の Max 周波数:49.152MHz

Parameter	Symbol	Min.	Typ.	Max.	Unit
Audio Interface Timing					
Output PORT (Slave mode)					
OBICK Period Normal speed mode	tBCK	1/256 FSON			
Double speed mode	tBCK	1/128 FSOD			
Quad speed mode	tBCK	1/64 FSOQ			
Oct speed mode	tBCK	1/64 FSOO			
Hex speed mode	tBCK	1/64 FSOH			
OBICK Pulse Width Low	tBCKL	7			ns
Pulse Width High	tBCKH	7			ns
OLRCK Edge to OBICK “↑” (Note 17)	tLRB	10			ns
OBICK “↑” to OLRCK Edge (Note 17)	tBLR	7			ns
DVDD=3.0V~3.6V(VSEL pin= “L”) (fso=768KHz)					
OBICK “↓” to SDTO (HEXAE bit= “1”)	tBSD			5	ns
DVDD=3.0V~3.6V(VSEL pin= “L”) (Except fso=768KHz)					
OLRCK to SDTO(MSB) (Except I ² S mode)	tLRS			10	ns
OBICK “↓” to SDTO	tBSD			10	ns
DVDD=1.7V~1.9V(VSEL pin= “H”) (Except fso=384KHz,768KHz)					
OLRCK to SDTO(MSB) (Except I ² S mode)	tLRS			20	ns
OBICK “↓” to SDTO	tBSD			20	ns
DSD Audio Interface Timing (64 mode slave)					
ODCLK Period	tDCK	-	1/64FSIN	-	ns
ODCLK Pulse Width Low	tDCKL	160			ns
ODCLK Pulse Width High	tDCKH	160			ns
ODCLK Edge to DSDOL/R	tDDD	-20		20	ns
DSD Audio Interface Timing (128 mode slave)					
DVDD=3.0V~3.6V(VSEL pin= “L”)					
ODCLK Period	tDCK	-	1/128FSIN	-	ns
ODCLK Pulse Width Low	tDCKL	80			ns
ODCLK Pulse Width High	tDCKH	80			ns
ODCLK Edge to DSDOL/R	tDDD	-10		10	ns

Note 17. この規格値は ILRCK のエッジと IBICK の“↑”が重ならないように規定しています。

Parameter	Symbol	Min.	Typ.	Max.	Unit
Audio Interface Timing					
Output PORT (TDM256 slave mode) DVDD=3.0V~3.6V(VSEL pin= "L")					
OBICK Period	tBCK	40			ns
OBICK Pulse Width Low	tBCKL	16			ns
Pulse Width High	tBCKH	16			ns
OLRCK Edge to OBICK "↑" (Note 17)	tLRB	10			ns
OBICK "↑" to OLRCK Edge (Note 17)	tBLR	10			ns
OBICK "↓" to SDTO	tBSD			10	ns
DVDD=1.7V~1.9V(VSEL pin= "H")					
OBICK Period	tBCK	80			ns
OBICK Pulse Width Low	tBCKL	32			ns
Pulse Width High	tBCKH	32			ns
OLRCK Edge to OBICK "↑" (Note 17)	tLRB	20			ns
OBICK "↑" to OLRCK Edge (Note 17)	tBLR	20			ns
OBICK "↓" to SDTO	tBSD			20	sn
Output PORT (TDM512 slave mode) DVDD=3.0V~3.6V(VSEL pin= "L")					
OBICK Period	tBCK	40			ns
OBICK Pulse Width Low	tBCKL	16			ns
Pulse Width High	tBCKH	16			ns
OLRCK Edge to OBICK "↑" (Note 17)	tLRB	10			ns
OBICK "↑" to OLRCK Edge (Note 17)	tBLR	10			ns
OBICK "↓" to SDTO	tBSD			10	ns
Output PORT (Master mode)					
OBICK Frequency	fBCK		64 FSO		Hz
OBICK Duty	dBCK		50		%
OBICK "↓" to OLRCK Edge	tMBLR	-5		5	ns
OBICK "↓" to SDTO	tBSD	-5		5	ns
DSD Audio Interface Timing (64 mode Master)					
ODCLK Period	tDCK		64 FSO		Hz
ODCLK Duty	dDCK		50		%
ODCLK Edge to DSDOL/R	tDDD	-20		20	ns
DSD Audio Interface Timing (128 mode Master)					
ODCLK Period	tDCK		128 FSO		Hz
ODCLK Duty	dDCK		50		%
ODCLK Edge to DSDOL/R	tDDD	-10		10	ns
DSD Audio Interface Timing (256 mode Master)					
ODCLK Period	tDCK		256 FSO		Hz
ODCLK Duty	dDCK		50		%
ODCLK Edge to DSDOL/R	tDDD	-5		-5	ns
Reset Timing					
PDN "L" Width after DVDD is on.(Note 20)	tAPD1	150			ns
PDN Accept Pulse Width (Note 20)	tAPD2	700			ms
PDN pin Pulse Width of Spike Noise Suppressed by Input Filter (Note 21)	tPDS	0		50	ns

Note 17. この規格値は ILRCK のエッジと IBICK の "↑" が重ならないように規定しています。

Note 19. TDM は Slave Mode のみ対応しています。

Note 20. AK4137 は PDN pin = "L" でリセットされます。

Note 21. PDN pin に内蔵されるノイズフィルタが除去できる "L" パルスのスパイクノイズ幅の規定です。

Parameter	Symbol	Min.	Typ.	Max.	Unit
Control Interface Timing					
CCLK Period	tCCK	200		-	ns
CCLK Pulse Width High	tCCKH	80		-	ns
CCLK Pulse Width Low	tCCKL	80		-	ns
CDTI Setup Time	tCDS	50		-	ns
CDTI Hold Time	tCDH	50		-	ns
CSN High Time	tCSW	150		-	ns
CSN “↓” to CCLK “↑”	tCSS	50		-	ns
CCLK “↑” to CSN “↑”	tCSH	50		-	ns
CCLK “↓” to CDTO	tDCD			45	ns
CSN “↑” to CDTO “Hi-Z”	tCCZ			70	ns
Control Interface Timing (I²C Bus):					
SCL Clock Frequency	fSCL	-		400	kHz
Bus Free Time Between Transmissions	tBUF	1.3		-	μs
Start Condition Hold Time (prior to first clock pulse)	tHD:STA	0.6		-	μs
Clock Low Time	tLOW	1.3		-	μs
Clock High Time	tHIGH	0.6		-	μs
Setup Time for Repeated Start Condition	tSU:STA	0.6		-	μs
SDA Hold Time from SCL Falling (Note 22)	tHD:DAT	0		-	μs
SDA Setup Time from SCL Rising	tSU:DAT	0.1		-	μs
Rise Time of Both SDA and SCL Lines	tR	-		0.3	μs
Fall Time of Both SDA and SCL Lines	tF	-		0.3	μs
Setup Time for Stop Condition	tSU:STO	0.6		-	μs
Pulse Width of Spike Noise Suppressed by Input Filter	tSP	0		50	ns
Capacitive load on bus	Cb	-		400	pF

Note 22. データは最低 300ns (SCL の立ち下がり時間)の間保持されなければなりません。

■ タイミング波形

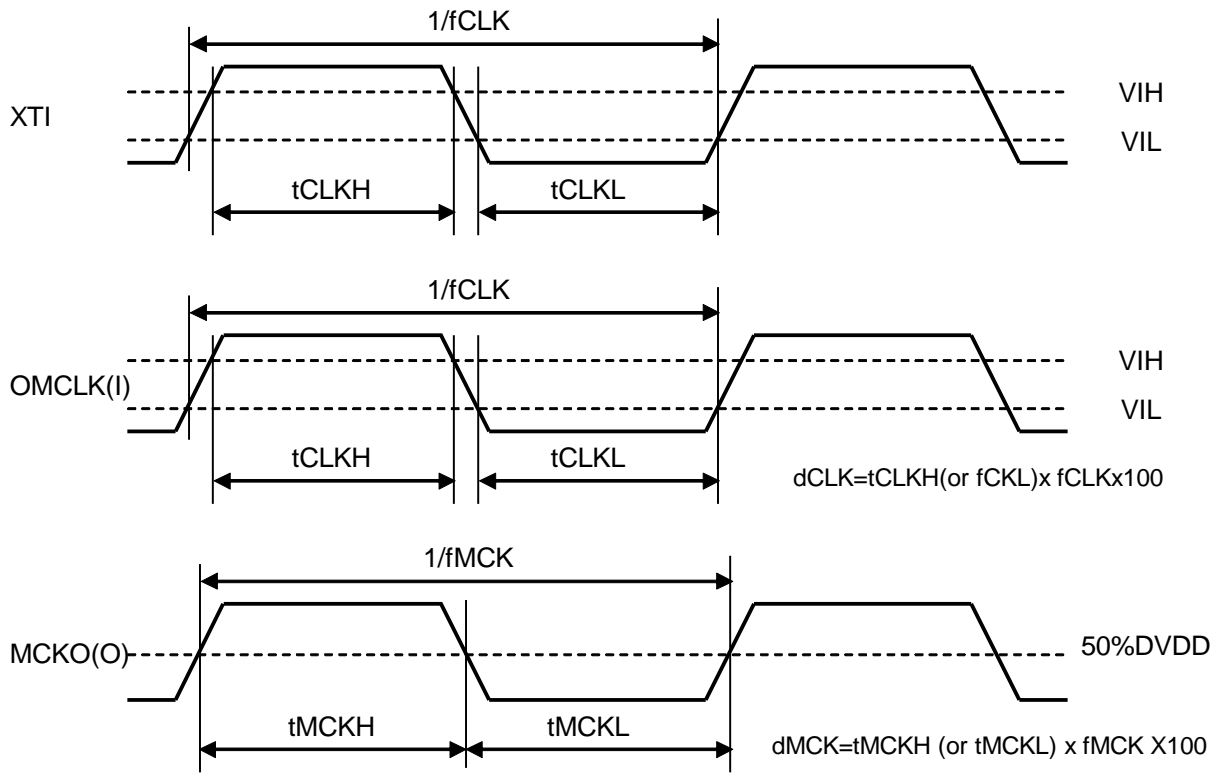
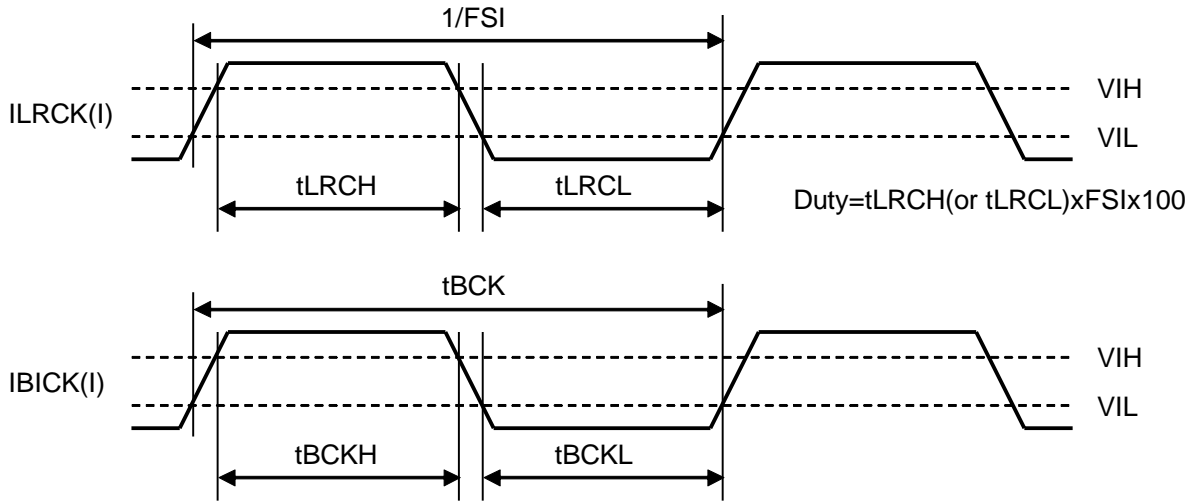


Figure 3. OMCLK, MCKO Clock Timing

Slave Mode



TDM256 or TDM512 Mode and Slave Mode

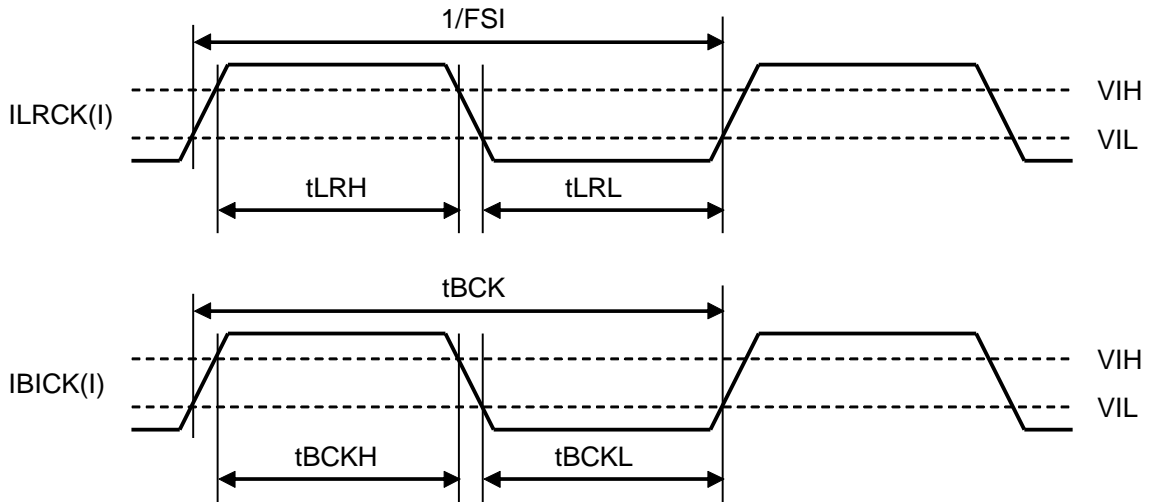
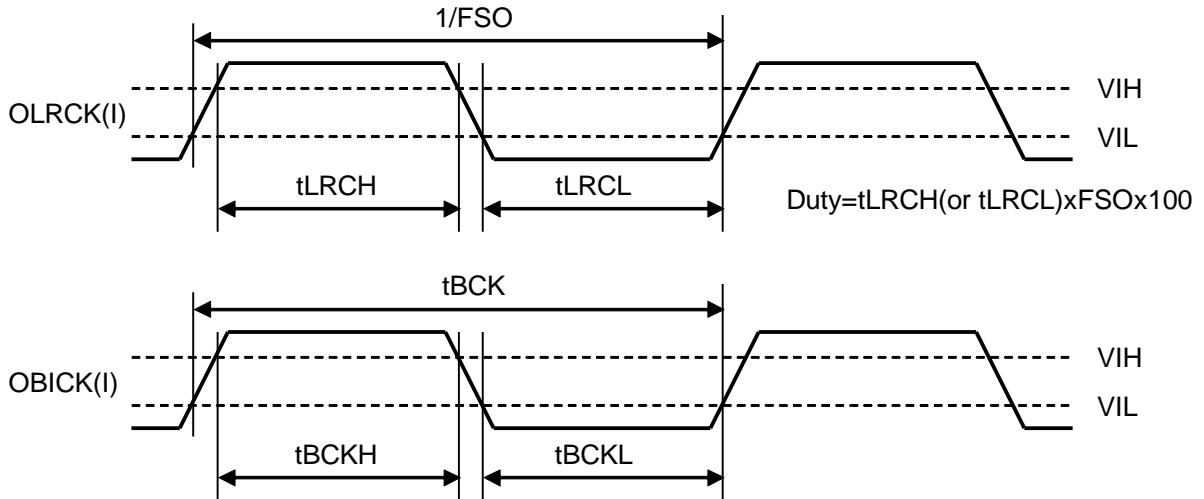


Figure 4. ILRCK, IBICK Clock Timing

Slave Mode



TDM256 or TDM512 Mode and Slave Mode

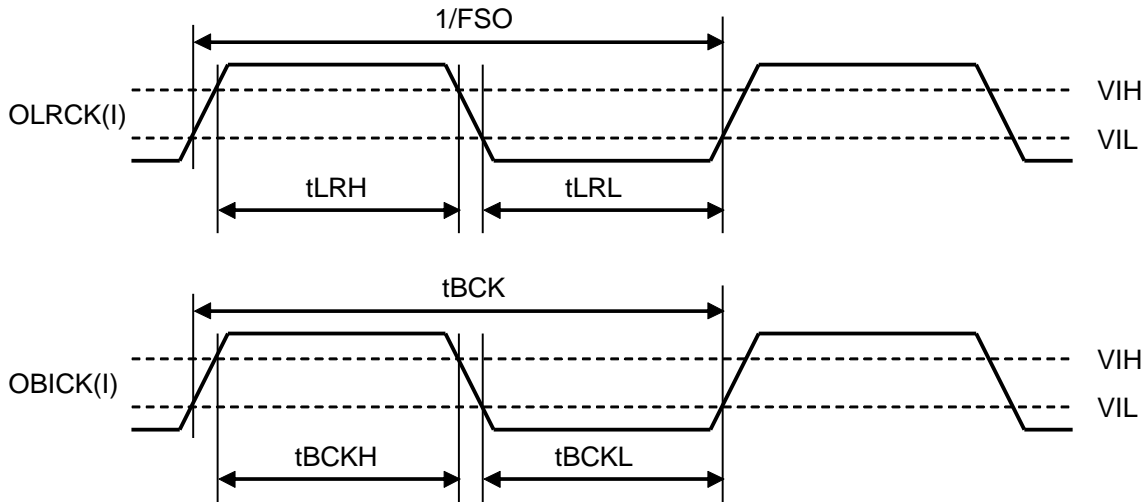


Figure 5. OLRCK, OBICK Clock Timing (Slave Mode)

Master Mode

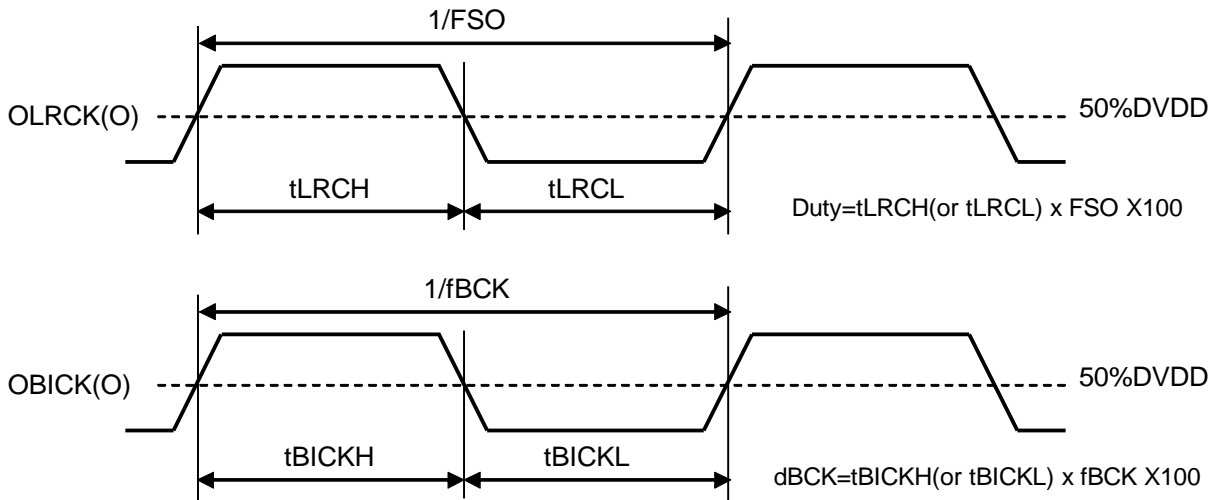


Figure 6. OLRCK, OBICK Clock Timing (Master Mode)

Slave mode and TDM256 or TDM512 Slave Mode

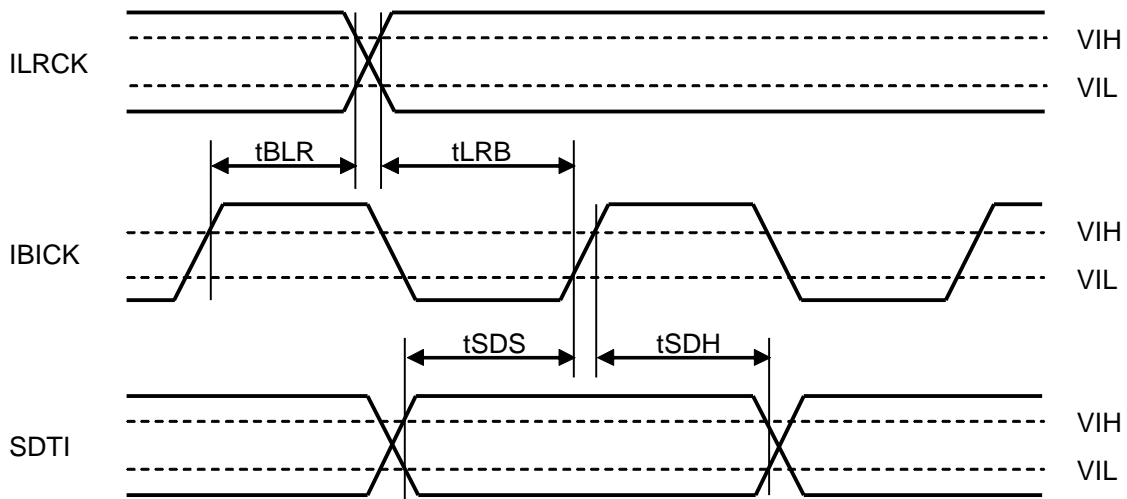


Figure 7. Input PORT Audio Interface Timing

Slave mode and TDM256 or TDM512 Slave Mode

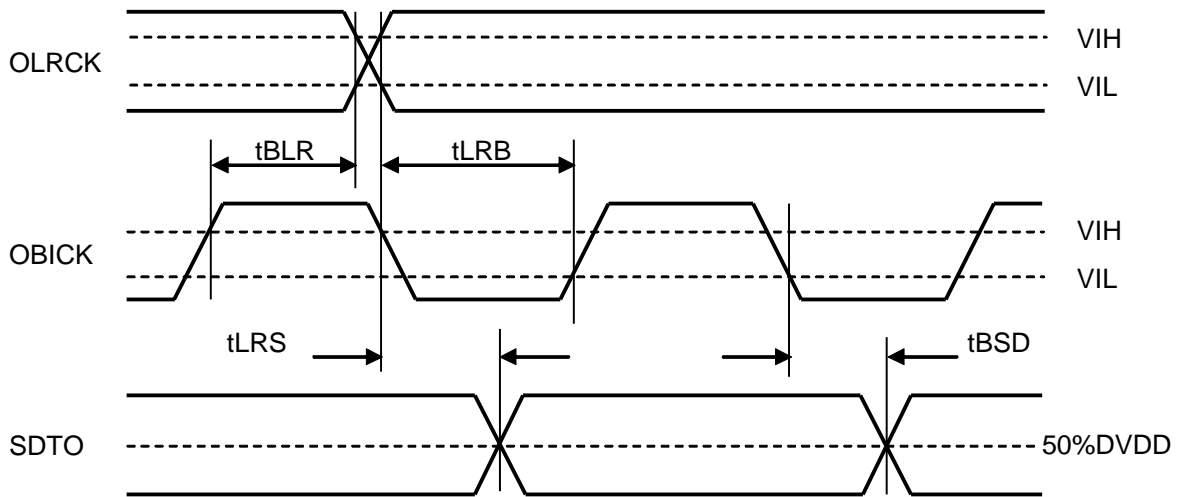


Figure 8. Output PORT Audio Interface Timing

Master mode and TDM256 or TDM512 Master mode

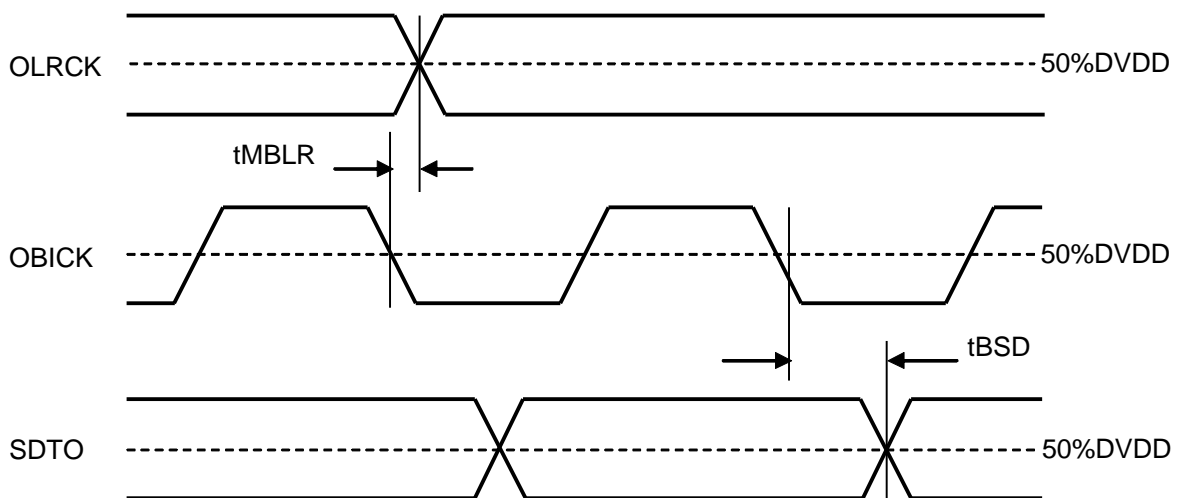


Figure 9. Output PORT Audio Interface Timing

DSD Normal Mode, DCKB bit = "0"

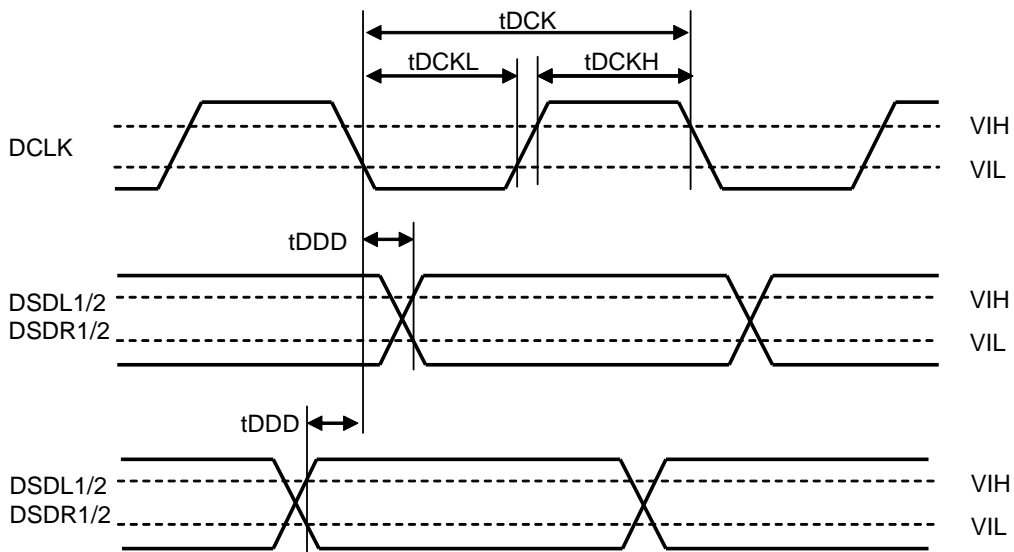


Figure 10. Audio Serial Interface Timing

DSD Phase Modulation Mode, DCKB bit = "0"

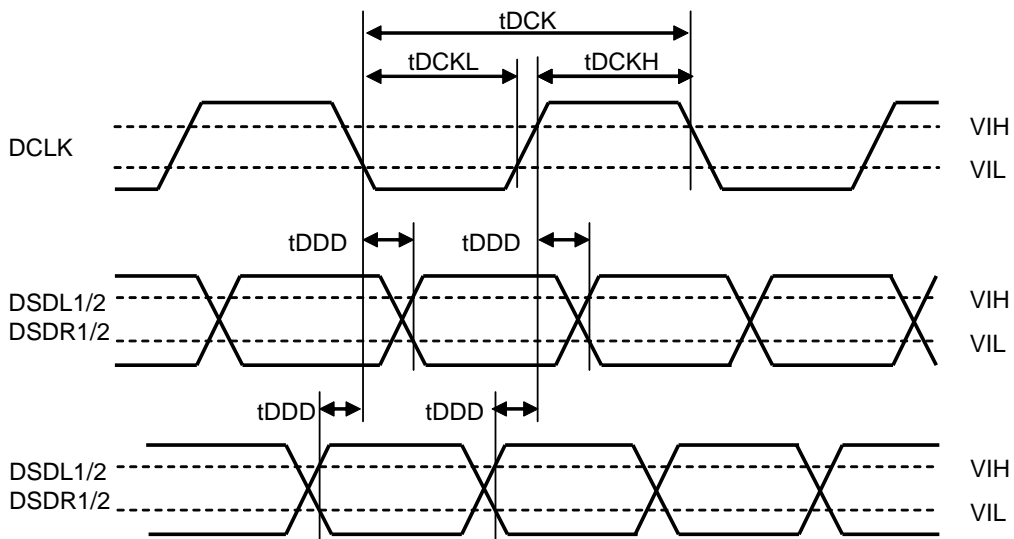


Figure 11. Audio Serial Interface Timing

4-Wire Read

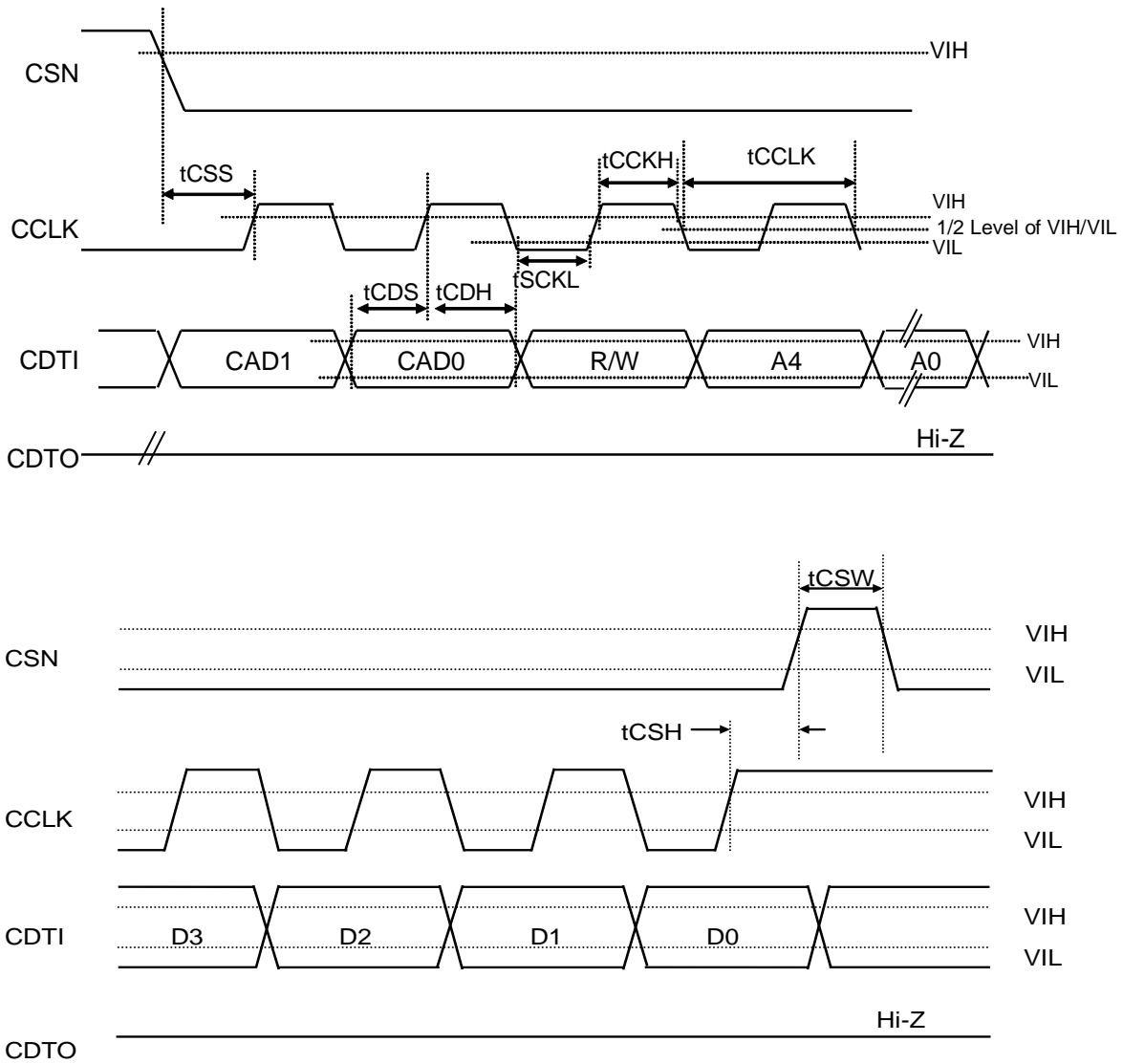


Figure 12. 4-wire Serial Control Mode

4Wire Write

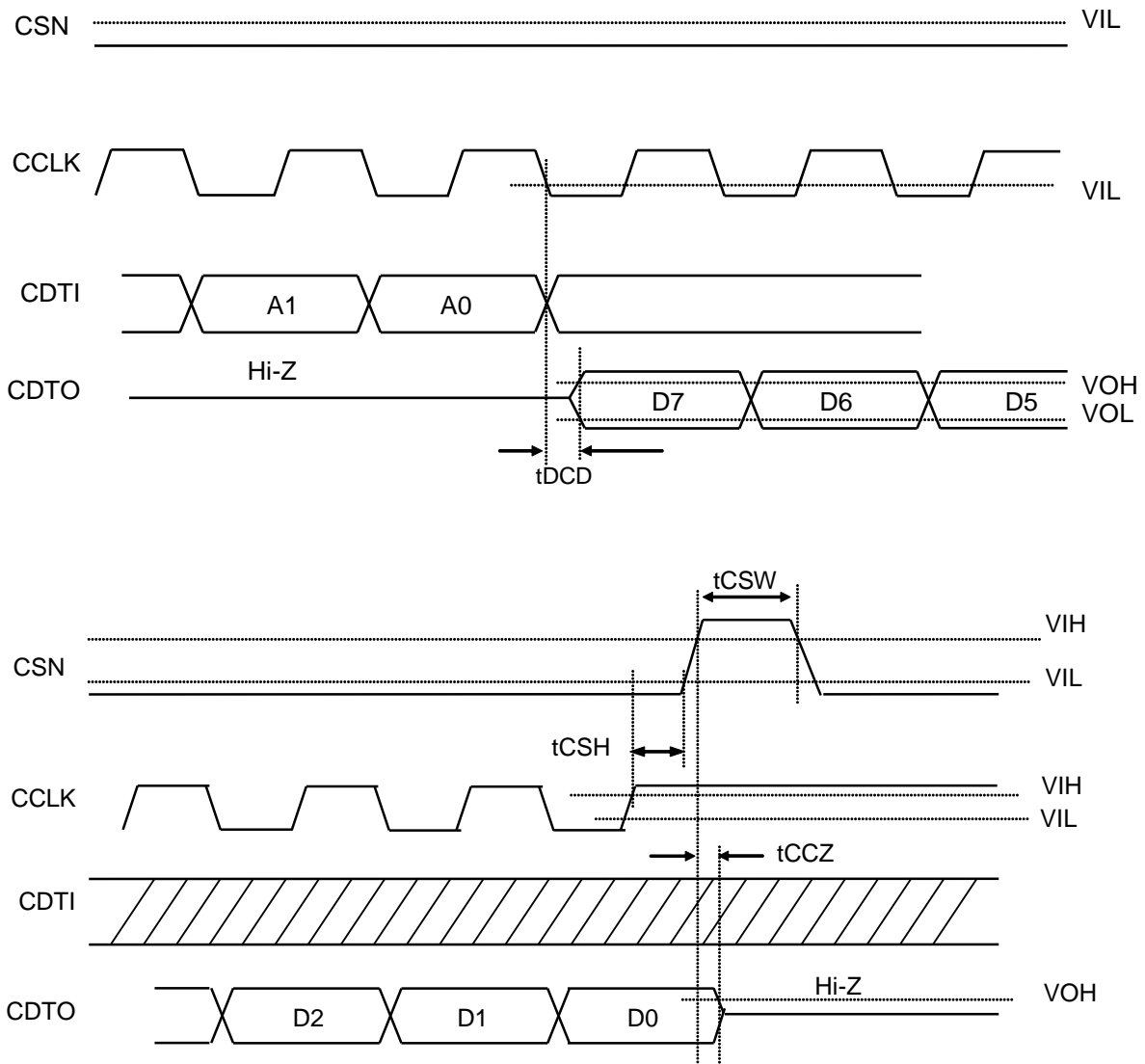


Figure 13. 4-wire Serial Control Mode

I2C Bus Control Mode

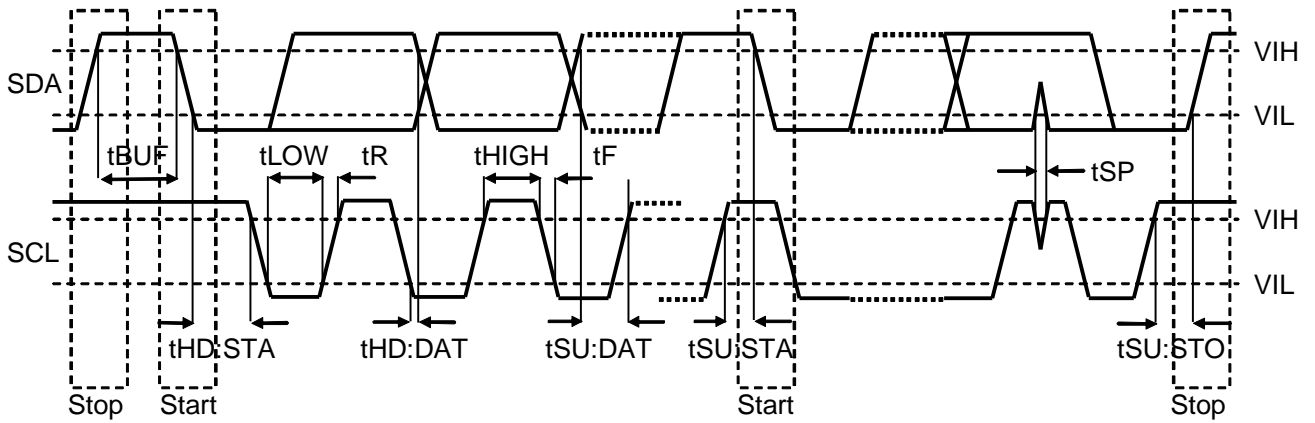


Figure 14. I2C Bus Control Mode

PDN

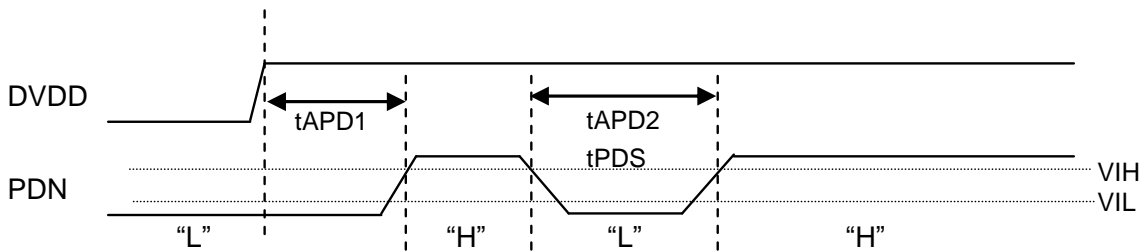


Figure 15. PDN

15. 動作説明

■ 動作モードと設定

AK4137はDSDIE bitとDSDOE bitで入力データと出力データの形式を選択できます。また、DOP bitでDoPモードを選択できます。BYPSS bitでBypassモードを選択できます。

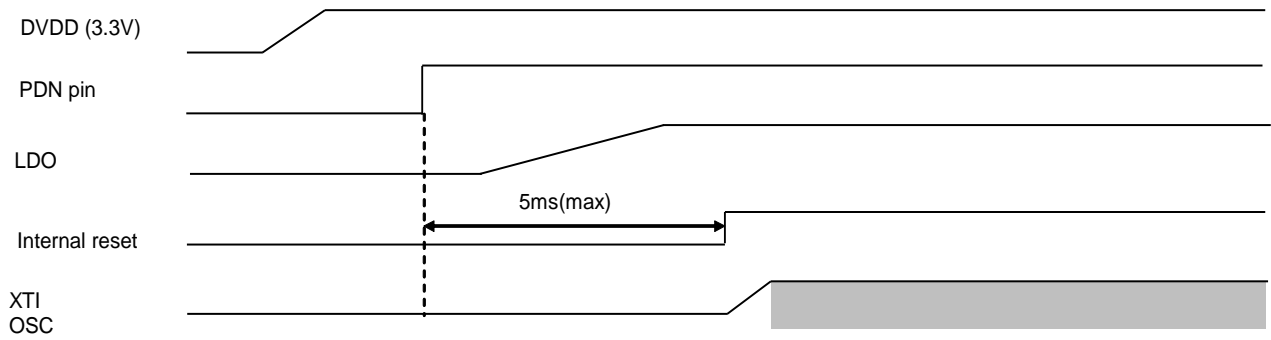
BYPSS	SRC mode
0	SRC
1	Bypass

Operation mode	DOP(*)	DSDIE	DSDOE	INPUT	OUTPUT
PCM->PCM	0	0	0	PCM	PCM
PCM->DSD	0	0	1	PCM	DSD
DSD->PCM	0	1	0	DSD	PCM
DSD->DSD	0	1	1	DSD	DSD
DoP->PCM	1	0	0	DoP	PCM
DoP->DSD	1	0	1	DoP	DSD
Not Available	1	1	0	-	-
Not Available	1	1	1	-	-

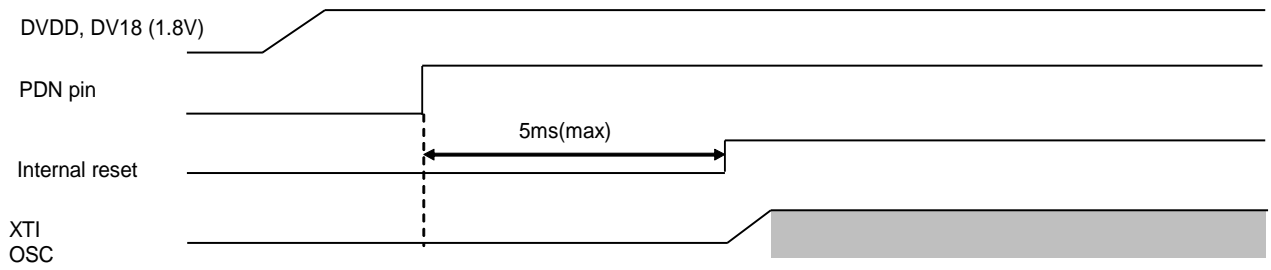
(*) 本機能は DoP 信号が入力されることを前提にしています。DOP bit = “1” のとき通常の PCM データを入力しないでください。AK4137 で行う DoP 検出は 0x05、0xFA、0xAA のオア(OR)を取り判定します。

■ 立ち上がりシーケンス

VSEL pin= "L" (regulator mode)



VSEL pin= "H" (regulator off mode)



■ SRC バイパスモード

PCMIN→PCMOUTモード (Slave Mode)

入力ポートのデータSDTIは、Table 2のオーディオインタフェースフォーマットにしたがってILRCKと IBICKによりデバイス内部に取り込まれます。出力ポートのデータSDTOは、Table 5、Table 6のオーディオインタフェースフォーマットにしたがってOLRCKと OBICKにより出力されます。IBICKとOBICKは位相を合わせる必要はありませんが、互いに同期している必要があります。ILRCKとOLRCKも位相を合わせる必要はありませんが、互いに同期している必要があります。

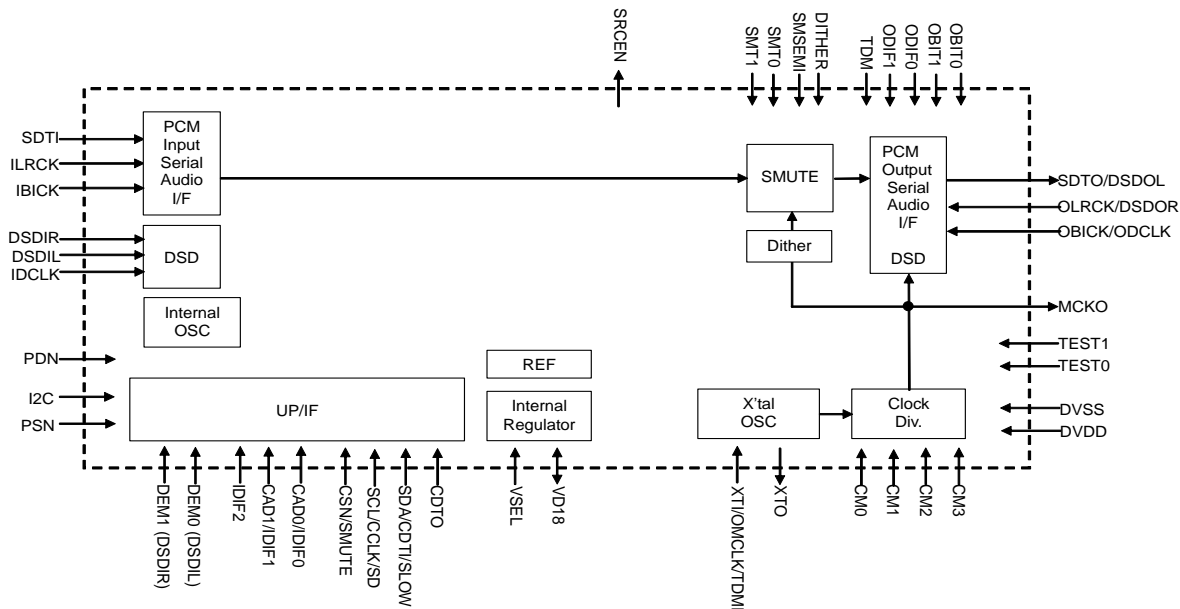


Figure 16. BYPASS Mode Slave (PCMIN→PCMOUT)

PCMIN→PCMOUTモード (Master Mode)

入力ポートのデータSDTIは、Table 2のオーディオインタフェースフォーマットにしたがってILRCKと IBICKによりデバイス内部に取り込まれます。出力ポートのデータSDTOは、Table 5、Table 6のオーディオインタフェースフォーマットにしたがってILRCKと IBICKにより出力されます。ILRCKがスルーしOLRCKから出力されます。IBICKがスルーしOBICKから出力されます。

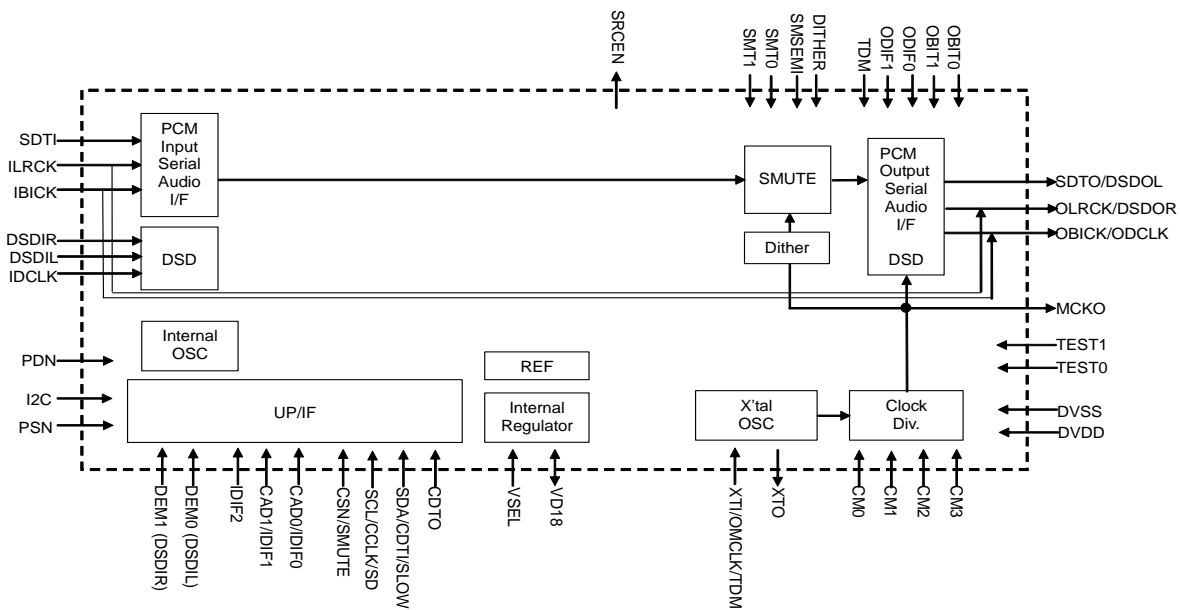


Figure 17. BYPASS Mode Master (PCMIN→PCMOUT)

DSDIN → DSDOUTモード (Master Mode)

DOP bit = "0", DSDIE bit = "1", DSDOE bit = "1"の時、入力ポートのデータDSDIL、DSDIRはIDCLKによりデバイス内部に取り込まれます。出力ポートのデータDSDOL、DSDORはIDCLKより出力されます。IDCLKがスルーしODCLKから出力されます。

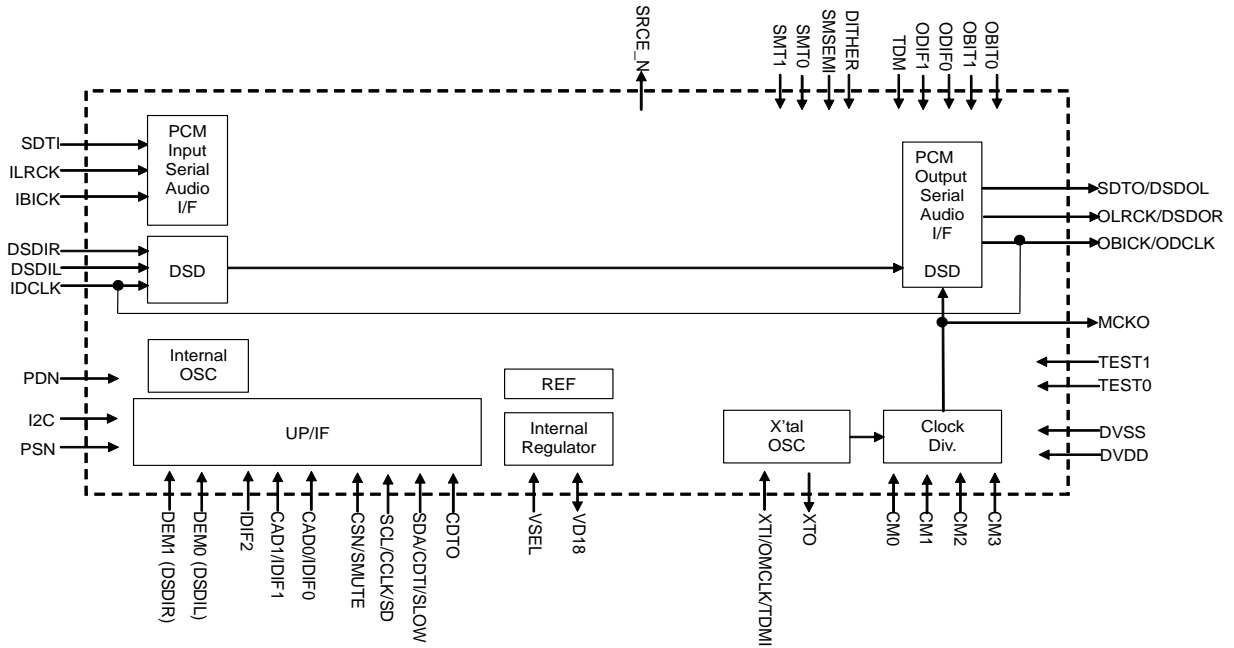


Figure 18. BYPASS Mode Master (DSDIN→DSDOUT)

PCM(DoP) → DSDOUTモード (Master Mode)

DOP bit = "1", DSDIE bit = "0", DSDOE bit = "1"の時、入力ポートのデータSDTIはTable 2のオーディオインタフェースフォーマットにしたがってILRCKとIBICKによりデバイス内部に取り込まれ (LSBは非対応)、DSDデータに変換されます。出力ポートのデータDSDOL、DSDORはODCLKより出力されます。ODCLKはIBICKより生成されます。

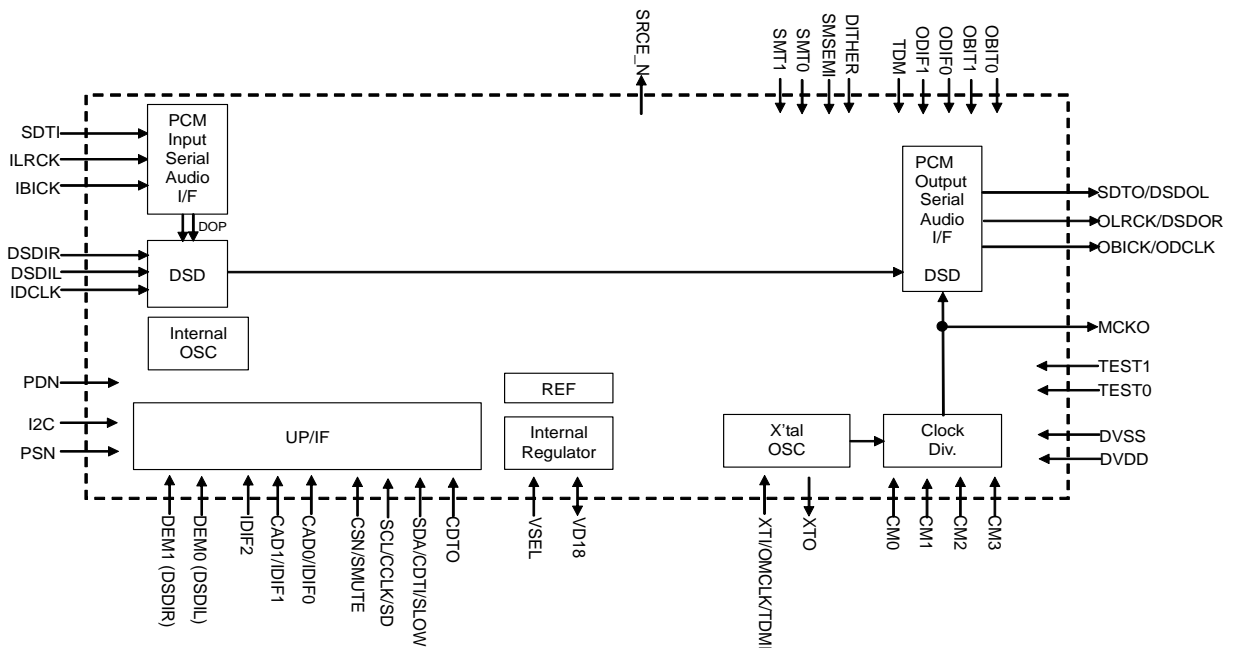


Figure 19. BYPASS Mode Master (DoP → DSDOUT)

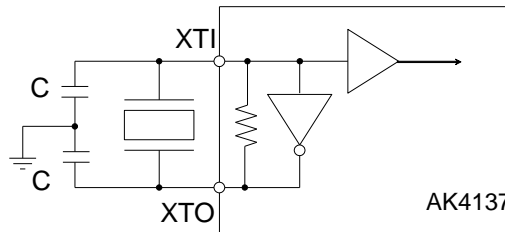
■ スレーブモード

スレーブモード時は、OLRCK pin とOBICK pin は入力ピンです。

■ マスタモード

マスタモード時は、OLRCK pin と OBICK pin は出力ピンです。XTI/OMCLK pin よりマスタクロックを供給します。XTI/OMCLK pin には、以下の方法でのクロックの供給が可能です。

■ X'tal Mode



コンデンサの値はTable 1を参照。

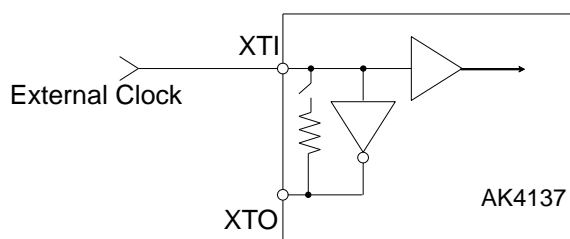
Figure 20. X'tal (XTI) Mode

公称周波数 [MHz]	11.2896	12.288	22.5792	24.576
直列等価抵抗 [Ω] max	60			
外付けコンデンサ C[pF] max	15			

Table 1. 外付け水晶の直列抵抗と外付けコンデンサ(C)

OMCLK 入力 256FSO モードで X'tal モードの場合、FSO の範囲は 44.1kHz~96kHz です。
 OMCLK 入力 384FSO モードで X'tal モードの場合、FSO の範囲は 29.4kHz~64kHz です。
 OMCLK 入力 512FSO モードで X'tal モードの場合、FSO の範囲は 22.05kHz~48kHz です。
 OMCLK 入力 768FSO モードで X'tal モードの場合、FSO の範囲は 14.7kHz~32kHz です。
 OMCLK 入力 128FSO モードで X'tal モードの場合、FSO の範囲は 88.2kHz~192kHz です。
 OMCLK 入力 64FSO モードで X'tal モードの場合、FSO の範囲は 176.4kHz~384kHz です。

外部クロックモード



外部 CLK Mode 時 XTO pin は
“L”になります。

Figure 21. External Clock (OMCLK) Mode

■ 入力ポートのシステムクロックとオーディオインタフェースフォーマット

入力ポートのオーディオインタフェースフォーマットは、全モードとも MSB ファースト、2's complement のデータフォーマットで、SDTI はそれぞれ BICK の立ち上がりでラッチされます。

パラレルコントロールモード(PSN pin = "H") 時、入力ポートのオーディオインタフェースフォーマット設定は IDIF2-0 pin により設定されます。 IDIF2-0 pin は、PDN pin = "L" 中に変更してください。

シリアルコントロールモード(PSN pin = "L") 時、IDIF2-0 pin 設定は無視されます。IDIF1-0 bit 設定が反映されます。IDIF2-0 bit は、SMUTE bit = "1" あるいは SMUTE pin = "H" でソフトミュートし、SDTO 出力コードがオールゼロになった後、変更してください。

Mode	IDIF2 Pin (Note18)	IDIF1 Pin (Note18)	IDIF0 Pin (Note18)	SDTI Format	ILRCK	IBICK	IBICK Freq
0	L	L	L	32bit, LSB justified	Input	Input	256FSI ≥ ≥ 64FSI
1	L	L	H	24bit, LSB justified			256FSI ≥ ≥ 48FSI
2	L	H	L	32bit, MSB justified			256FSI ≥ ≥ 64FSI
3	L	H	H	32 or 16 bit, I ² S Compatible			256FSI ≥ ≥ 64FSI
				16 bit, I ² S Compatible			32FSI
4	H	L	L	TDM 32bit, MSB justified			256FSI
5	H	L	H	TDM 32bit, I ² S Compatible			
6	H	H	L	TDM 32bit, MSB justified			512FSI
7	H	H	H	TDM 32bit, I ² S Compatible			

Table 2. Input PORT Audio Interface Format (パラレルコントロールモード PSN pin = "H") 時

Note 23. IBICK = 32FSI は16bit I²S Compatibleのみ対応します。

Note 24. シリアルコントロールモード(PSN pin = "L") 時、IDIF2-0 pin 設定は無視されます。

Note 25. TDM 入力時、どのチャンネルのデータを内部に取り込むかは、TDMICH2-1 bit で決まります。

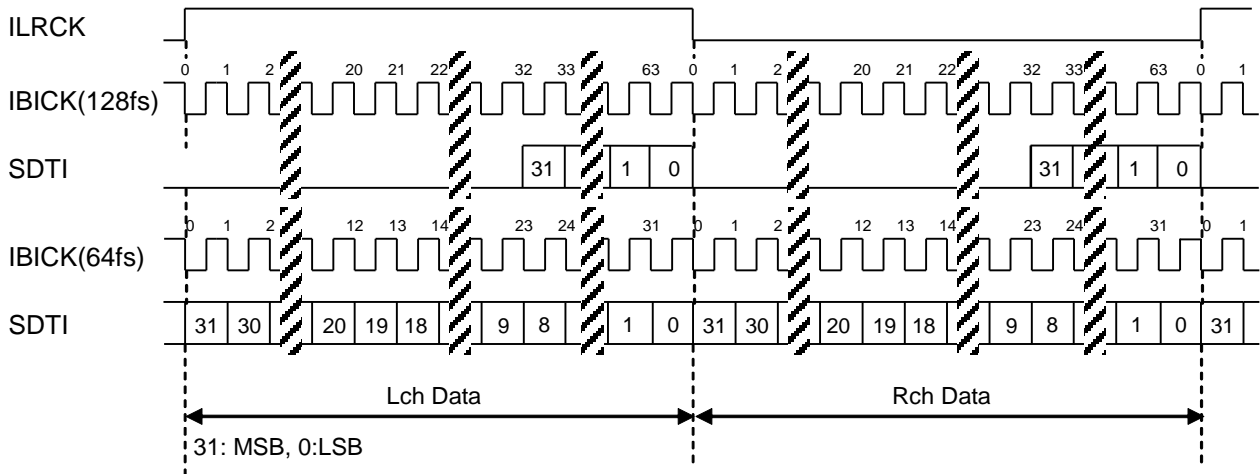


Figure 22. Mode0 Timing (32-bit LSB)

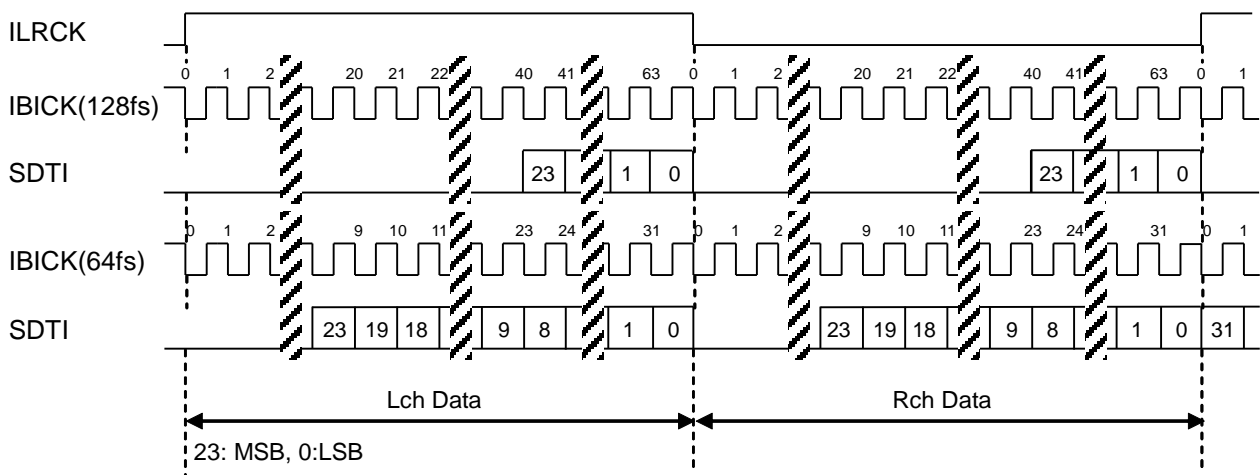


Figure 23. Mode1 Timing (24-bit LSB)

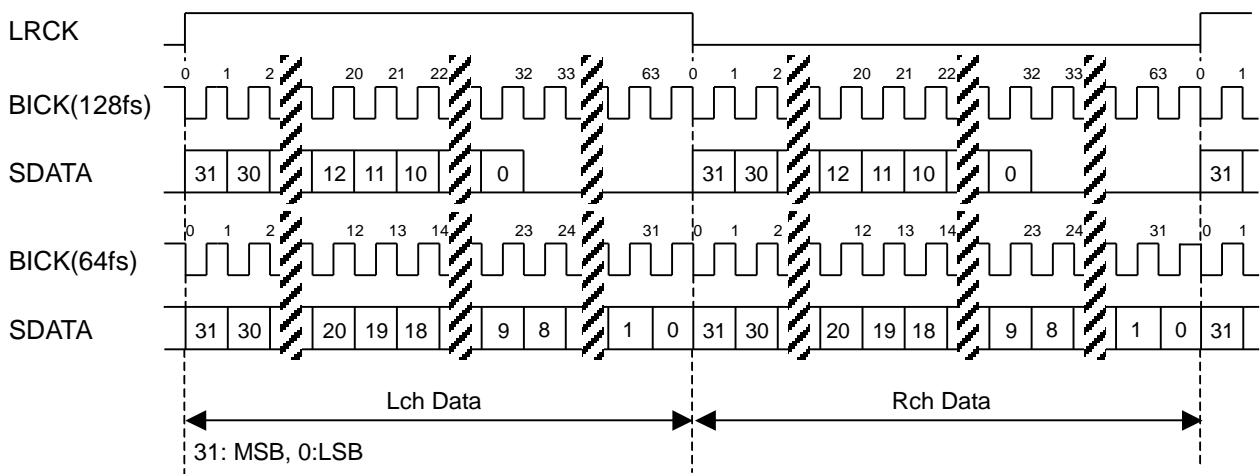


Figure 24. Mode2 timing (32-bit MSB)

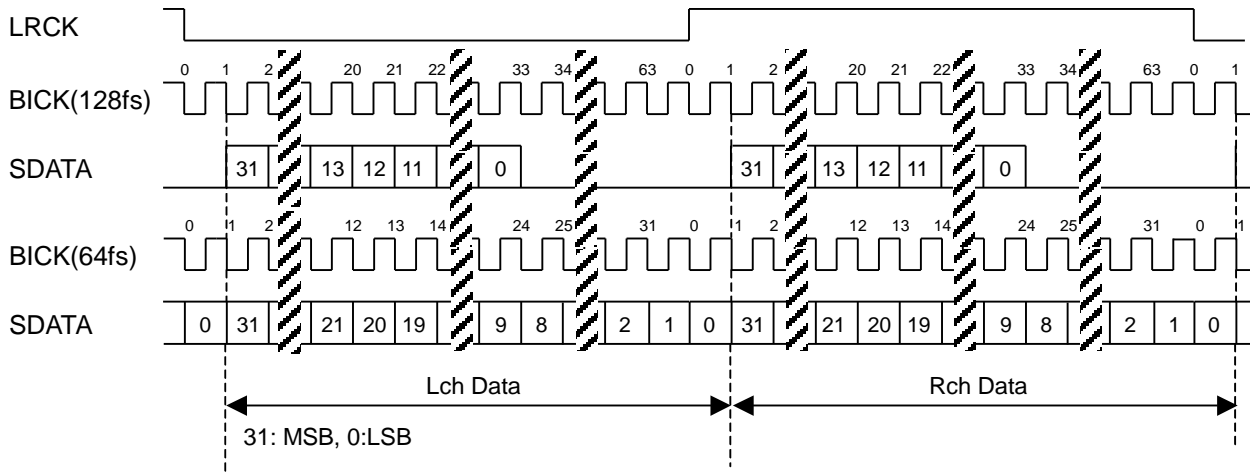


Figure 25. Mode3 Timing (32-bit I²S)

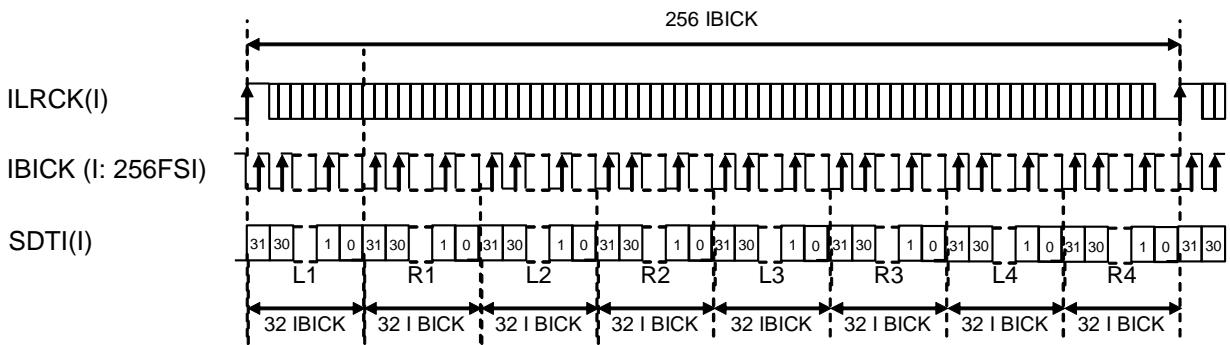


Figure 26. Mode4 Timing (32-bit MSB TDM256fs)

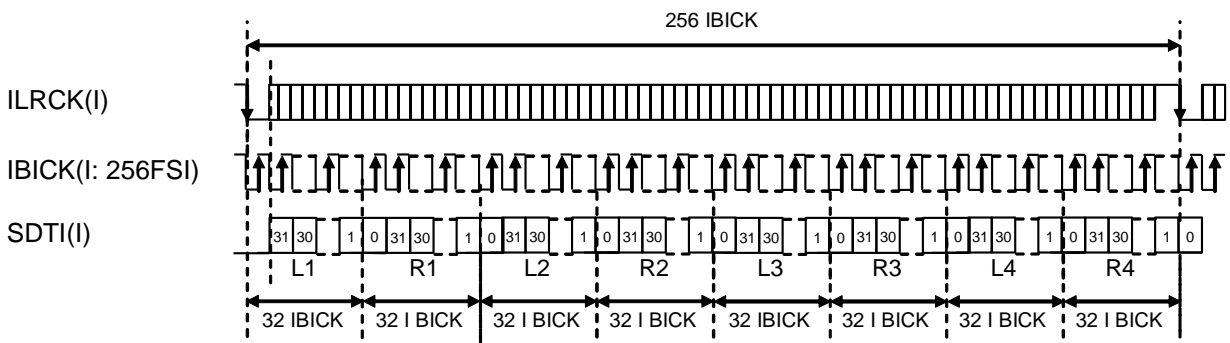


Figure 27. Mode5 Timing (32-bit I²S TDM256fs)

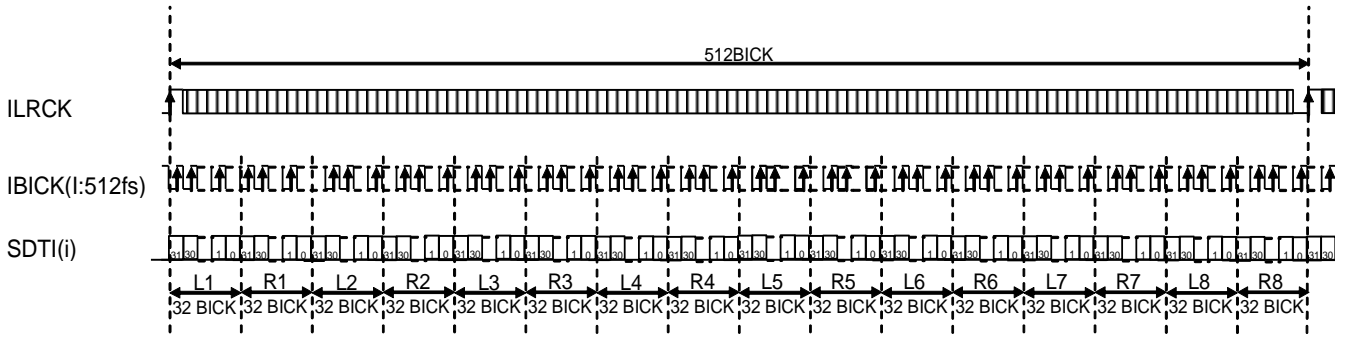


Figure 28. Mode6 Timing (32-bit MSB TDM512fs)

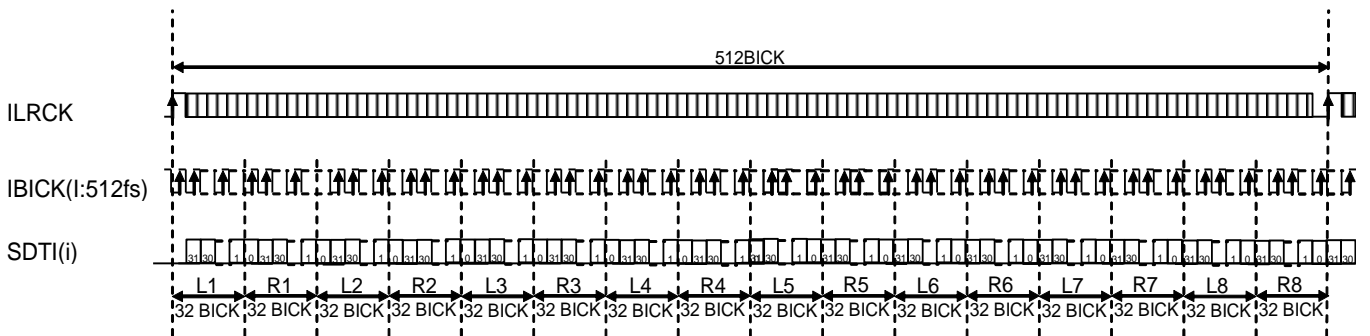


Figure 29. Mode7 Timing (32-bit I²S TDM512fs)

■ 出力ポートのシステムクロックとモード設定

出力ポートはマスターモード及びスレーブモードで動作可能です。

マスター/スレーブモードおよびSRCバイパスモードの選択はCM3-0 pinにより行います。

Mode	CM3 pin	CM2 pin	CM1 pin	CM0 pin	Master / Slave	OMCLK入力 (Note 26)	MCKO 出力	FSO	
								PCM	DSD
0	L	L	L	L	Master	256FSO	256FSO	8k ~ 192kHz	-
1	L	L	L	H	Master	384FSO	384FSO	8k ~ 96kHz	-
2	L	L	H	L	Master	512FSO	512FSO	8k ~ 96kHz	-
3	L	L	H	H	Master	768FSO	768FSO	8k ~ 48kHz	-
4	L	H	L	L	Slave	Not used (Note 27)	OMCLK	8k ~ 768kHz	-
5	L	H	L	H	Master	128FSO	128FSO	8k ~ 384kHz	-
6	L	H	H	L	Slave (Bypass)	Not used (Note 27)	-	-	-
7	L	H	H	H	Master (Bypass)				
8	H	-	-	-	Master	64FSO	64FSO	8k ~ 768kHz	-

Note 26. クロック入力あるいは DVSS に接続してください。

Mode 4 の場合、OMCLK/XTI 入力を DVSS に接続すると MCKO 出力は "L" になります。

OMCLK/XTI へクロック入力するとそのクロックがスルーして MCKO から出力されます。

Mode6, 7 の場合、OMCLK/XTI 入力はデバイス内部では無視されます。

Note 27. DSD はパラレルモードでは設定できません。

Table 3. Output PORT Master/Slave/ Bypass Mode Control (PSN pin = "H")

シリアルコントロールモード (PSN pin = "L") 時、BYPSS bit により SRC バイパスモードと SRC モードの設定が可能です。BYPSS bit の Default は、"0" (SRC Mode) です。

Mode	CM3 pin	CM2 pin	CM1 pin	CM0 pin	BYPSS bit	Master / Slave	OMCLK Input (Note 30)	MCKO Output	FSO	
									PCM	DSD
0	L	L	L	L	0	Master	256FSO	256FSO	8k ~ 192kHz	64fs, 128fs, 256fs
1	L	L	L	H	0	Master	384FSO (Note 29)	384FSO	8k ~ 96kHz	64fs, 128fs
2	L	L	H	L	0	Master	512FSO	512FSO	8k ~ 96kHz	64fs, 128fs, 256fs
3	L	L	H	H	0	Master	768FSO	768FSO	8k ~ 48kHz	
4	L	H	L	L	0	Slave	Not used. (Note 28)	-	8k ~ 768kHz	
5	L	H	L	H	0	Master	128FSO (Note 29)	128FSO	8k ~ 384kHz	64fs, 128fs
6	L	H	H	L	0	Slave (Bypass)	Not used. (Note 28)	-	-	FSI
7	L	H	H	H	0	Master (Bypass)				
8	H	-	-	-	0	Master	64FSO	64FSO	8k ~ 768kHz	64fs
9	L	L	L	L	1	Master (Bypass)	Not used. (Note 28)	-	-	FSI
10	L	L	L	H	1	Master (Bypass)				
11	L	L	H	L	1	Master (Bypass)				
12	L	L	H	H	1	Master (Bypass)				
13	L	H	L	L	1	Slave (Bypass)				-
14	L	H	L	H	1	Master (Bypass)				FSI
15	L	H	H	L	1	Slave (Bypass)				-
16	L	H	H	H	1	Master (Bypass)				-
17	H	-	-	-	1	Master (Bypass)	-	-	FSI	

Note 28. クロック入力あるいはDVSSに接続してください。Mode 4 の場合、OMCLK/XTI/TDMI入力をDVSSに接続するとMCKO出力は"L"になります。OMCLK/XTI/TDMIへクロック入力するとそのクロックがスルーしてMCKOから出力されます。Mode6, 7, 9-17 の場合、OMCLK/XTI/TDMI入力はデバイス内部では無視されます。Bypass ModeはPCM→PCM、DoP→DSD、DSD→DSDのみ、その他で設定された場合は、Lowデータ出力されます。

Note 29. DSD Modeは44.1kHz or 48kHzです。384FSO,128FSOの時、DSD出力は64fs,128fsのみ対応します。

Note 30. AK4137 は、マスタモードの SRC mode では入力ポートの ILRCK, IBICK がクロックストップしても XTI/OMCLK pin にクロックを供給し続けている場合は、XTI/OMCLK 入力を分周したクロックを OLRCK, OBICK pin から出力し続けます。マスタモードの SRC バイパスモードでは、ILRCK がスルーし OLRCK から出力され、IBICK がスルーし OBICK から出力されます。このため入力ポートの ILRCK がストップした場合、OLRCK 出力はストップします。IBICK がストップした場合、OBICK 出力はストップします。

Table 4. Output PORT Master/Slave/ Bypass Mode Control (PSN pin = "L")

■ 出力ポートのオーディオインタフェースフォーマット

出力ポートのオーディオインタフェースフォーマットはODIF1-0 pin、OBIT1-0 pinにて設定します。全モードともMSBファースト、2'sコンプリメントのデータフォーマットで、SDTOはOBICKの立ち下がりでも出力されます。

HEXAE bit="1"にすると、SDTOはOBICKの立ち上がりでも出力されます。

出力ポートのオーディオインタフェースフォーマットの変更はPDN pin = "L"中に設定して下さい。バイパスモード時のスレーブモードでは、IBICKとOBICKは位相を合わせる必要はありませんが、互いに同期している必要があります。ILRCKとOLRCKも位相を合わせる必要はありませんが、互いに同期している必要があります。

TDM pin="H"に設定することにより出力ポートはTDMモードになります。6ch分or14ch分のシリアルデータをXTI/OMCLK/TDMIから入力してください。TDMモードでは、SDTOから8ch分or16ch分のシリアルデータが出力されます。TDMモードはスレーブモードのみです。

Mode	TDM	ODIF1	ODIF0	SDTO Format
0	L	L	L	LSB justified
1	L	L	H	I ² S Compatible
2	L	H	L	MSB justified
3	L	H	H	I ² S Compatible
4	H	L	L	TDM256 mode 32bit MSB justified
5	H	L	H	TDM256 mode 32bit I ² S Compatible
6	H	H	L	TDM512 mode 32bit MSB justified
7	H	H	H	TDM512 mode 32bit I ² S Compatible

Table 5. Output PORT Audio Interface Format 1

Mode	TDM pin	Master / Slave setting	n	OBIT0 pin	SDTO pin	OLRCK	OBICK	OBICK Frequency	
								MSB justified, I ² S	LSB justified
0	L	Slave (CM3-0 = "LHLL"/"LHHL")	L	L	32bit	Input	Input	≥ 64FSO	64FSO
1			L	H	24bit			≥ 48FSO	
2			H	L	20bit			≥ 40FSO	
3			H	H	16bit			≥ 32FSO	
4		Master (CM3-0 = "LHLL"/"LHHL" 以外)	L	L	32bit	Output	Output	64FSO	
5			L	H	24bit				
6			H	L	20bit				
7	H	H	16bit						
8	H	Slave (CM3-0 = "LHLL"/"LHHL")	*	*	TDM mode 32bit	Input	Input	256FSO 512FSO	
9									
10									
11									

Table 6. Output PORT Audio Interface Format 2

(*, TDM モードでは、1ch 分のデータ長は 32bit に固定されます。OBIT1,0 pin の設定はデバイス内部では無視されます。DVSS に接続してください。)

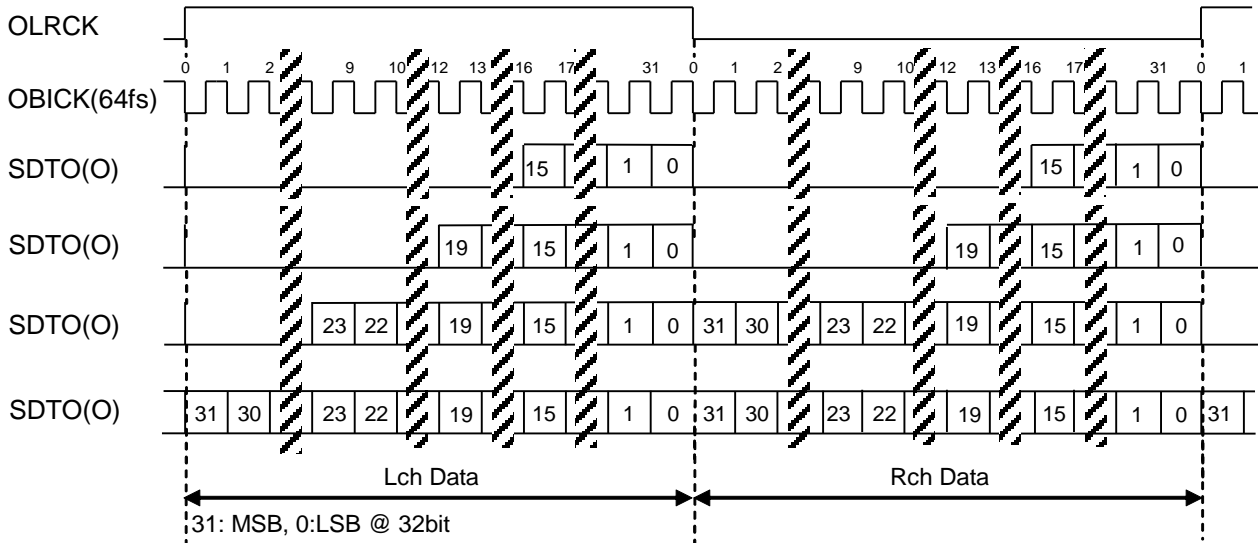


Figure 30. Stereo Mode LSB Justified Timing

(出力ポートが Master(Bypass) Mode かつ入力ポートのオーディオインタフェースフォーマットが TDM Mode (24bit MSB justified と 24bit I2S Compatible と)の場合を除く)

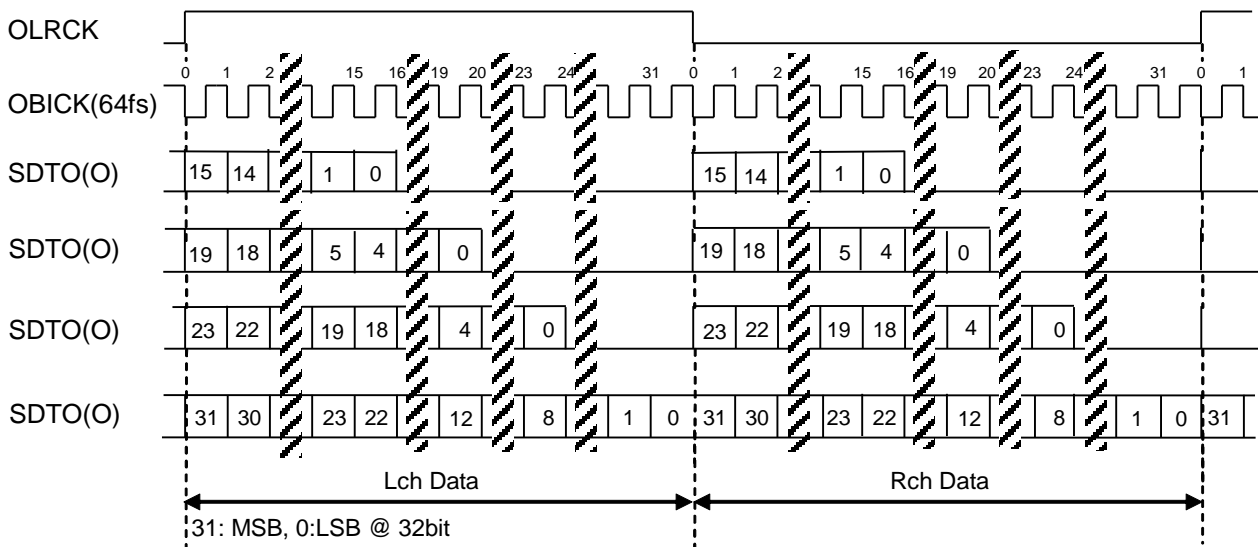


Figure 31. TDM 256 mode 32bit MSB Justified Timing at Slave Mode

(出力ポートが Master(Bypass) Mode かつ入力ポートのオーディオインタフェースフォーマットが TDM Mode (24bit MSB justified と 24bit I2S Compatible と)の場合を除く)

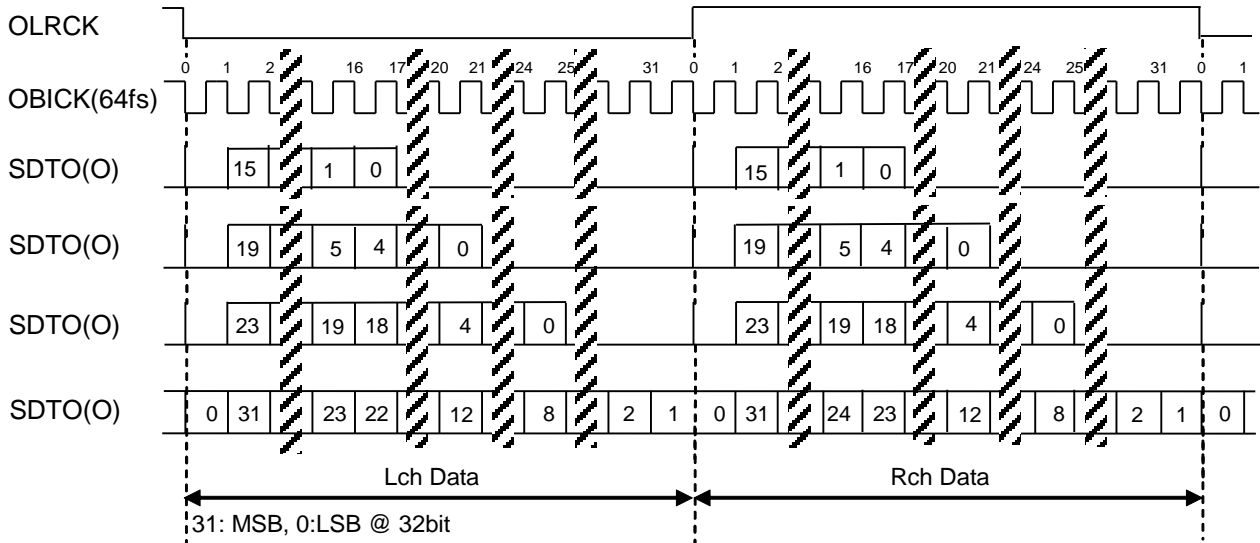


Figure 32. Stereo Mode I²S Compatible Timing

(出力ポートが Master(Bypass) Mode かつ入力ポートのオーディオインタフェースフォーマットが TDM Mode (32bit MSB justified と 32bit I2S Compatible と)の場合を除く)

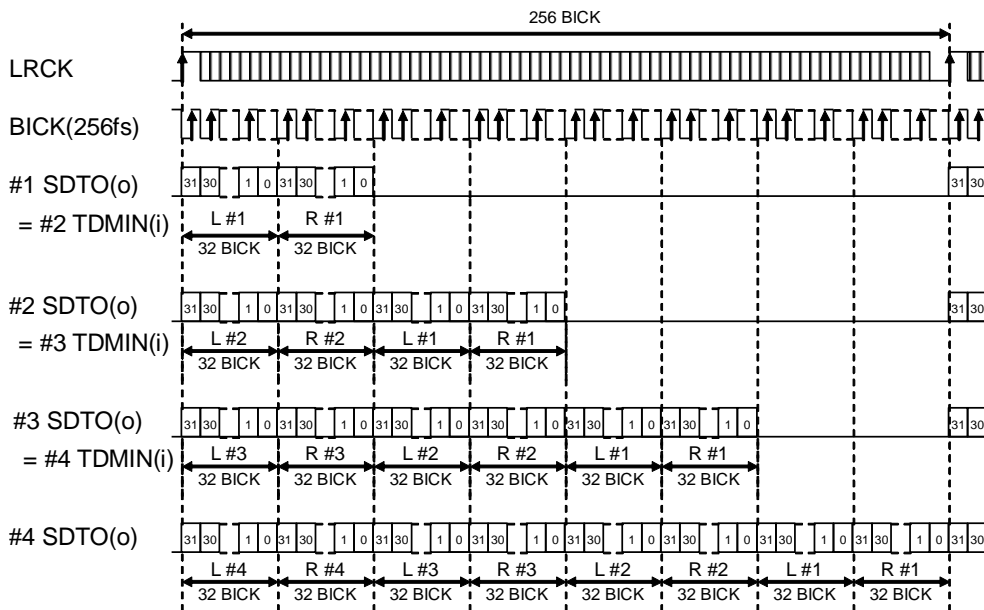


Figure 33. TDM 256 Mode 32bit MSB Justified Timing at Slave Mode

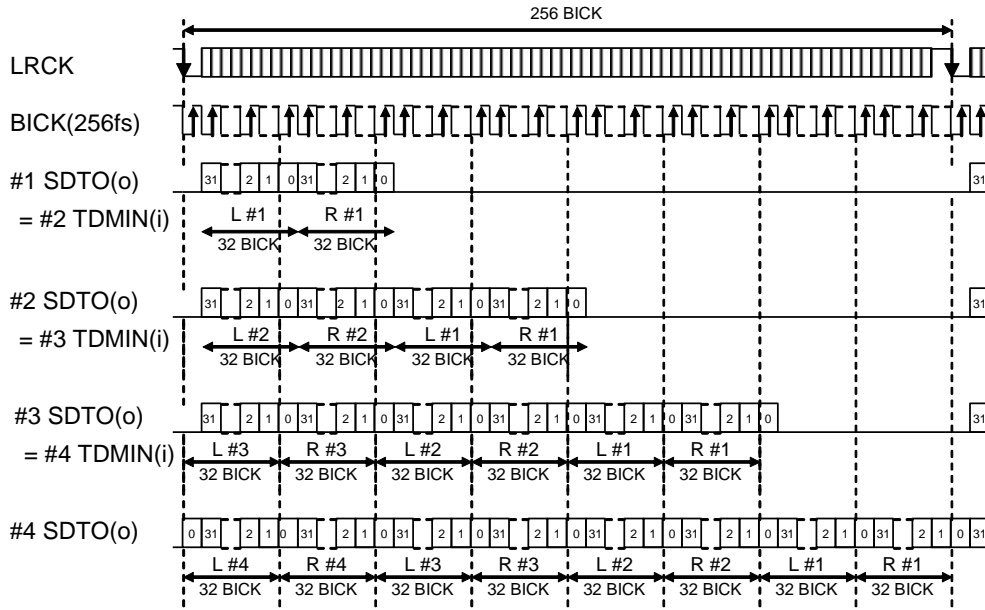


Figure 34. TDM 256 Mode 32bit I²S Compatible Timing at Slave Mode

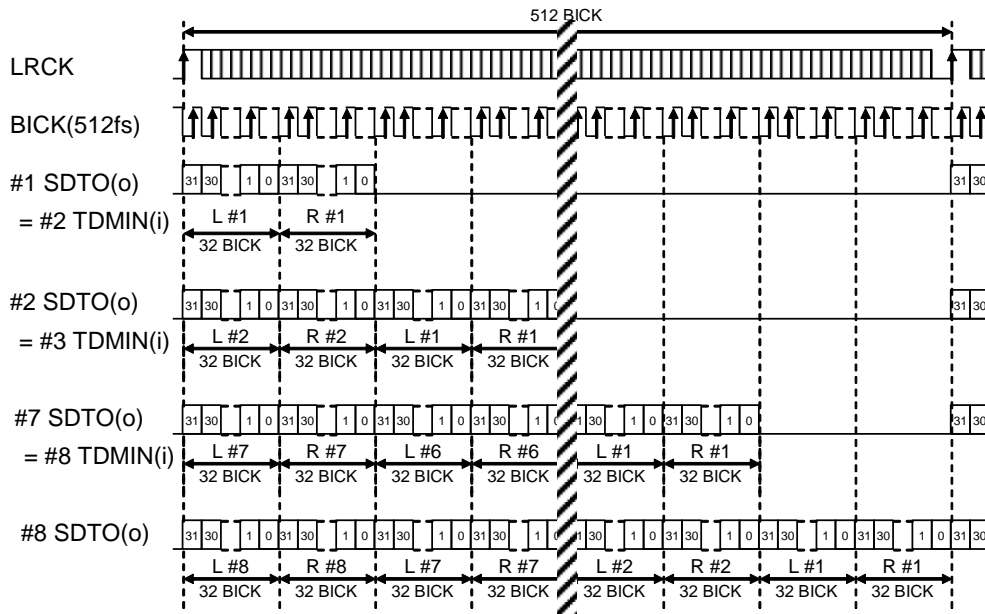


Figure 35. TDM 512 Mode 32bit MSB Justified Timing at Slave Mode

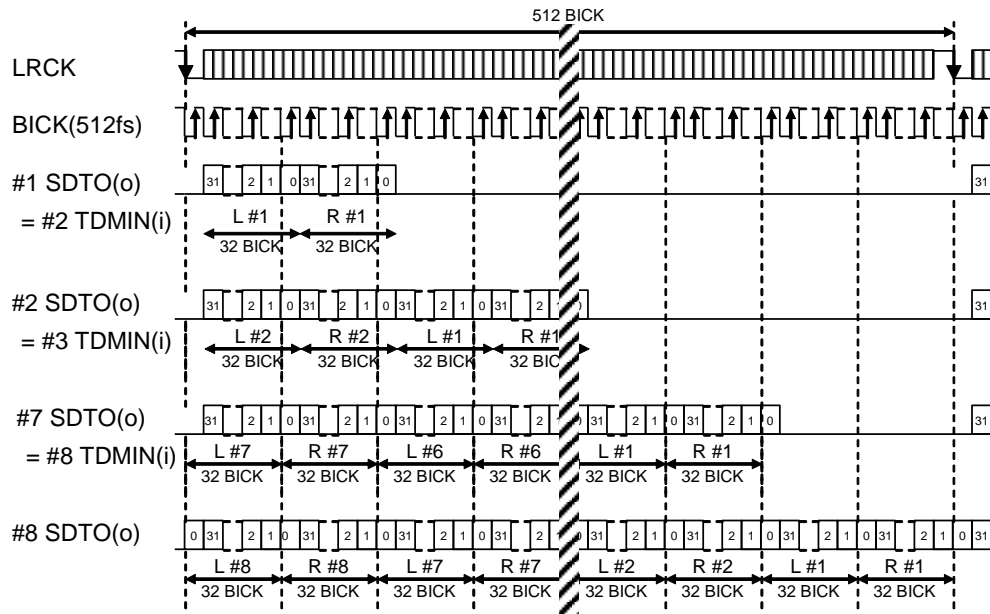


Figure 36. TDM 512 Mode 32bit I²S Compatible Timing at Slave Mode

■ TDM Mode 時のカスケード接続

AK4137 は TDM Mode 時には、最大 4 デバイス(8ch データ)をカスケード接続することができます。このモードでは、例えばデバイス#1 の SDTO pin をデバイス#2 の OMCLK (TDMIN) pin に接続します。デバイス#2 の SDTO pin からデバイス#1 の 2 チャンネル分のデータとデバイス#2 の 2 チャンネル分のデータを接続して、4 チャンネル TDM データが出力されます。Figure 37に接続例を示します。

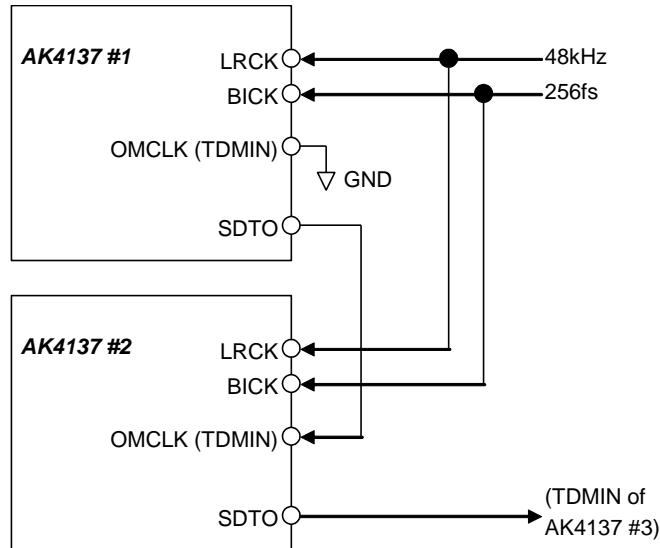


Figure 37.

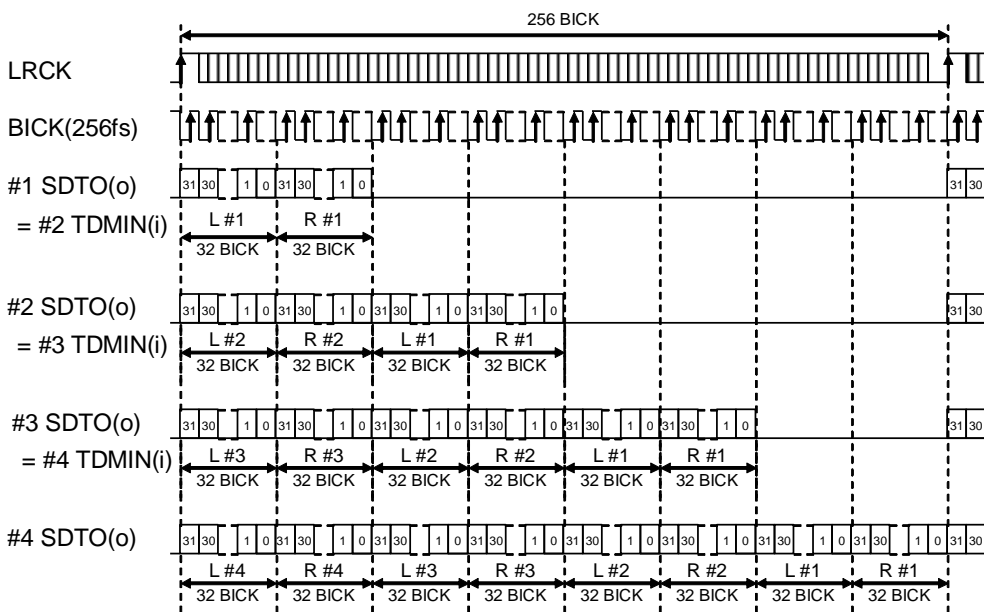


Figure 38. TDM Cascade

■ ソフトミュート機能

Manual Mode

SRC 出力のデジタル部にソフトミュート機能を内蔵します。ソフトミュートは SMUTE pin (PSN pin=“H”) または SMUTE レジスタ (PSN pin=“L”) でコントロールできます。SMUTE pin を“H” (または SMUTE bit を“1”) にすると 1024OLRCK サイクル (@ SMT1 pin =“L” and SMT0 pin =“L”) で SRC 出力のデータが $-\infty$ (“0”) までアテネーションされます。SMUTE pin を“L” (または SMUTE bit を“0”) にすると $-\infty$ 状態が解除され、 $-\infty$ から 1024OLRCK サイクル (@ SMT1 pin =“L” and SMT0 pin =“L”) で 0dB まで復帰します。ソフトミュート開始後、ソフトミュートサイクル以内に解除されるとアテネーションが中断され、同じサイクルで 0dB まで復帰します。ソフトミュート機能は信号を止めずに信号源を切り替える場合などに有効です。ソフトミュートサイクルは SMT1-0 pin (PSN pin=“H”) (または SMT2-0bit: PSN pin=“L”) で設定します。ソフトミュート遷移中は、SMT1-0 pin (または SMT2-0bit) の設定は変更しないで下さい。

SMT1pin	SMT0 pin	Period	fso=48kHz	fso=96kHz	fso=192kHz	fso=384kHz	fso=768kHz
L	L	1024/fso	21.3ms	10.7ms	5.3ms	2.7ms	1.3ms
L	H	2048/fso	42.7ms	21.3ms	10.7ms	5.3ms	2.7ms
H	L	4096/fso	85.3ms	42.7ms	21.3ms	10.7ms	5.3ms
H	H	8192/fso	170.7ms	85.3ms	42.7ms	21.3ms	10.7ms

SMT2 bit	SMT1 bit	SMT0 bit	Period	fso=48kHz	fso=96kHz	fso=192kHz	fso=384kHz	fso=768kHz
0	0	0	1024/fso	21.3ms	10.7ms	5.3ms	2.7ms	1.3ms
0	0	1	2048/fso	42.7ms	21.3ms	10.7ms	5.3ms	2.7ms
0	1	0	4096/fso	85.3ms	42.7ms	21.3ms	10.7ms	5.3ms
0	1	1	8192/fso	170.7ms	85.3ms	42.7ms	21.3ms	10.7ms
1	0	0	16384/fso	341.3ms	170.7ms	85.3ms	42.7ms	21.3ms
1	0	1	32768/fso	682.7ms	341.1ms	170.7ms	85.3ms	42.7ms
1	1	0	reserved	-	-	-	-	-
1	1	1	reserved	-	-	-	-	-

Table 7. ソフトミュートサイクルの設定(PCM)

SMT1pin or SMT1bit	SMT0 pin or SMT0 bit	Period	64fs	128fs	256fs
L	L	1024/fso	21.3ms	21.3ms	21.3ms
L	H	2048/fso	42.7ms	42.7ms	42.7ms
H	L	4096/fso	85.3ms	85.3ms	85.3ms
H	H	8192/fso	170.7ms	170.7ms	170.7ms

*DSD 出力時

256fs モード : $1/(1024 \times 256)$ ずつゲインを変化させる
 128fs モード : $1/(1024 \times 128)$ ずつゲインを変化させる
 64fs モード : $1/(1024 \times 64)$ ずつゲインを変化させる
 レジスタ設定時、SMT2 は無視されます

Table 8. ソフトミュートサイクルの設定(DSD)

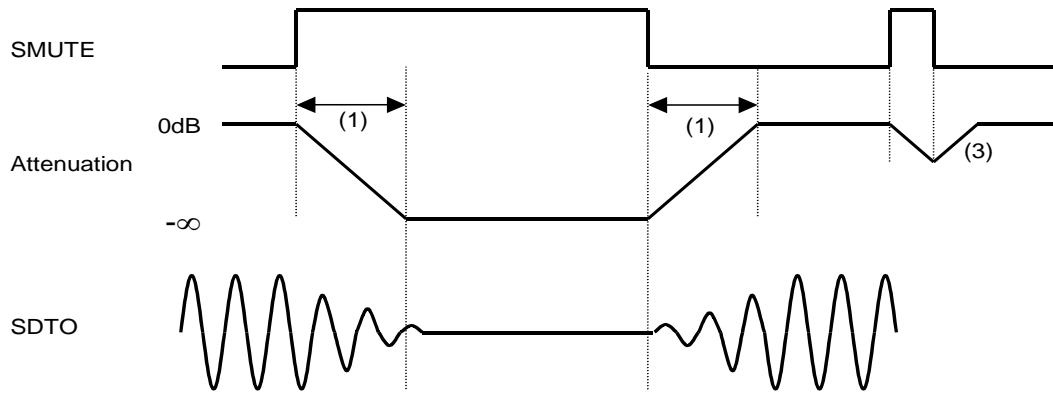


Figure 39. ソフトミュート Manual Mode

- (1) ソフトミュートサイクルはSMT1-0 pinまたはSMT2-0 bit(レジスタ)で設定 (Table 7) します。ソフトミュートサイクルで出力データが $-\infty$ ("0")までアテネーションされます。
- (2) ソフトミュートサイクル以内にソフトミュートが解除されるとアテネーションが中断され、同じサイクルで0dBまで復帰します。
- (3) ソフトミュートサイクル以内にソフトミュートが解除されるとアテネーションが中断され、同じサイクルで0dBまで復帰します。

Semi-Auto Mode

SMSEMI pin = “H”の状態からパワーダウン解除(PDN pin = “L” → “H”)の立ち上がりエッジ、または、PSN pin = “L” のリセット解除 (RSTN bit = “0” → “1”) を検出すると、ソフトミュートセミオートモードになります。

セミオートモードでは、PDN pin = “L” → “H”の立ち上がり (またはRSTNレジスタ = “0” → “1”の立ち上がり) エッジから $4410/\text{FSO}$ (FSO = 100ms @ FSO = 44.1kHz) 間ミュートを継続した後、ソフトミュートを自動で解除します。

パワーダウンピン (またはリセット解除後、SMUTE pin が “H” (または SMUTE bit が “1” の場合にはソフトミュートがかかった状態) になります。

SMSEMI pin は PDN pin = “L” 中、SMSEMI bit は RSTN bit = “0” 中に変更してください。

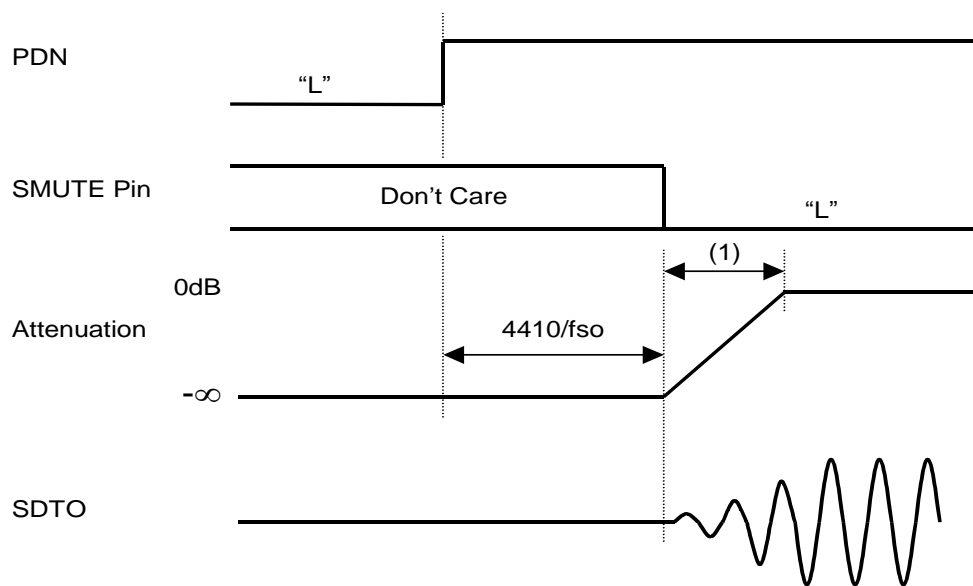


Figure 40. ソフトミュート Semi-Auto Mode

- (1) ソフトミュートサイクル (Table 7, Table 8) で出力データが 0dB まで復帰します。
(SMUTE pin = “L” の時、“H” の時は MUTE のまま)
- (2) $4410/\text{FSO}$ の間ミュートを継続しソフトミュートが自動で解除され 0dB に復帰した後は、(Table 7, Table 8) に記したソフトミュートサイクルでミュートあるいはミュート解除ができます。

■ ディザ回路

AK4137 はディザ回路を内蔵しています。ディザ回路は SRC Mode、SRC バイパスモードに関係なく、DITHER pin を “H” にすることで、OBIT1-0 pin で設定された出力データの最下位ビットにディザを加えます。

ただし SRC バイパスモードで出力ビット長が 32bit のときは、ディザを加えても出力データに影響はありません。

■ Digital フィルタ

AK4137 はパラレルコントロールモード(PSN pin=“H”)時、Digital フィルタ設定は SD pin (#18), SLOW pin (#17) により設定されます。

シリアルコントロールモード(PSN pin=“L”)時、SD pin は SCLK/CCLK pin となり、SD としての設定は無視されます。また、SLOW pin は SDA/CDTI pin となり SLOW としての設定は無視されます。

SD pin	SLOW pin	Mode
L	L	Sharp roll-off filter
L	H	Slow roll-off filter
H	L	Short delay Sharp roll-off filter
H	H	Short delay Slow roll-off filter

Table 9. Digital Filter Setting (パラレルモード)

SD bit	SLOW bit	Mode
0	0	Sharp Roll-off Filter
0	1	Slow Roll-off Filter
1	0	Short delay Sharp Roll-off Filter
1	1	Short delay Slow Roll-off Filter

(default)

Table 10. Digital Filter Setting (シリアルモード)

■ ディエンファシスフィルタ

パラレルコントロールモード(PSN pin=“H”)時、ディエンファシス設定は DEM1-0 pin により設定されます。シリアルコントロールモード(PSN pin=“L”)時、DEM1-0 pin 設定は無視されます。

DEM1pin	DEM0 pin	Mode
L	L	44.1kHz
L	H	OFF
H	L	48kHz
H	H	32kHz

Table 11. De-emphasis Filter Setting

■ レギュレータ

AK4137 は、DVDD[V]から 1.8[V]へ降圧するレギュレータを内蔵します。生成した 1.8[V]は、内部回路の電源として使用します。通常動作中にレギュレータ出力に過電流が流れた場合、過電流検出回路がはたらきます。通常動作中にレギュレータ出力が過電圧になった場合、過電圧検出回路がはたらきます。過電流リミットあるいは過電圧リミットがかかった場合、レギュレータブロックはパワーダウンされデバイスはリセット状態になります。過電流リミットあるいは過電圧リミットが1度かかると PDN ピンによるリセットをしない限り自己復帰はしません。PDN pin=“L”によりリセットしてから再度 PDN pin=“H”でパワーアップしてください。

SRC 通常動作中は内部ステータスピン “SRCEN”の出力は “L”ですが、過電流リミットあるいは過電圧リミットがかかった場合、“H”を出力します。

■ DSD モード

DSD 入力

DCLK周波数は64fs, 128fs, 256fsと可変です。DCLKの極性はDCKB bitで反転することが可能です。

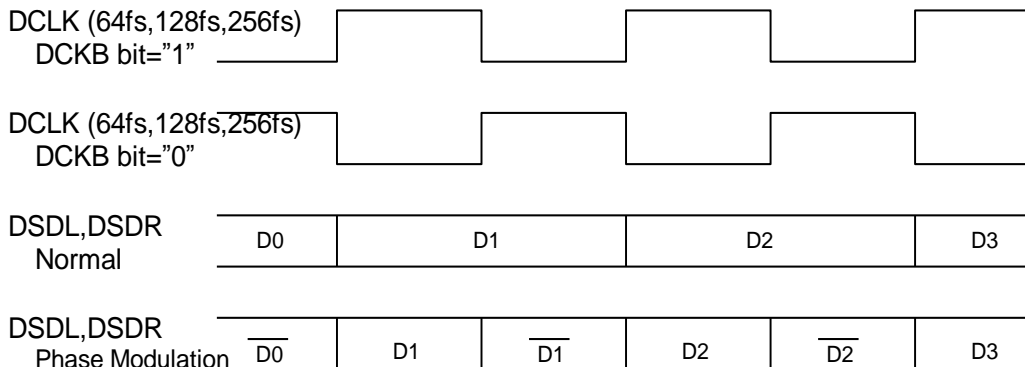


Figure 41. DSD Timing

DSDIE bit="1"にすると、DSD 入力モードになります。切り替えはRSTN bit="0"の間に行ってください。

IDCLK周波数は64fs, 128fs, 256fsが受けられます。DSDIFS bitで指定して下さい。

IDCLKの極性はIDCKB bitで反転することが可能です

また、入力GainはIGAIN6 bit="1"で+6dB することが可能です。

Cut OffフィルタPCMF50 bitにて選択できます。

Phase Modulationモードは256fsでは使用できません。

DoP (*) 入力

DOP bit="1"にすると、DoP 入力になります。レジスタの切り替えはRSTN bit="0"の間に行ってください。DOP bit="1"の状態では、SDTI から、63ILRCK 連続で、DoP データ検出コードが入力されると、DoP 入力に切り替わります。また、SDTI から 16ILRCK 連続して、DoP データ検出コード以外が入力されると、PCM モードに切り替わります。DoP モードの時は、DSDIFS bit で DSD の周波数を指定して下さい。

(*) AK4137 で行う DoP 検出は 0x05、0xFA、0xAA のオア(OR)を取り判定します。

本機能は DoP 信号が入力されることを前提にしています。DOP bit="1"のとき通常の PCM データを再生するとノイズとなります。

DSDIFS bit	Fs	ILRCK(64fs)
"00"	64	176.4KHz/192KHz
"01"	128	352.8KHz/384KHz
"10"	256	705.6KHz/768KHz
"11"	-	reserved

Figure 42. DoP モード fs と ILRCK 周波数

IBICK は 48fs、64fs が選べます。64fs 時は下位 8bit には"0x00"を入力して下さい。

また、IDIF2-IDIF1 pin or bit で MSB、I2S フォーマットを選択できます。LSB は選べません。

DSD 出力

DSDOE bit=“1”にすると、DSD 出力モードになります。切り替えは RSTN bit=“0”の間に行ってください。ODCLK 周波数は 64fs, 128fs, 256fs が受けられます。また、Master モード時は 64fs, 128fs, 256fs を出力できます。DSDOFS bit で指定して下さい。ODCLK の極性は ODCKB bit で反転することが可能です。また、入力 Gain は OGAIN6 bit=“1”で-6dB することが可能です。入力 Gain の制限は-6dB です。超えた場合は正しいデータは出力されません。

・ゼロパターン出力

以下のように一定期間連続でゼロ入力が続いた場合、DSD 出力は後述のゼロパターン出力に固定されます。

ODCLK周波数	ゼロパターン出力までの期間
64fsy	1023ODCLK
128fs	2047ODCLK
256fs	4095ODCLK

ゼロパターン出力では出力が 8ODCLK 周期で “1001_0110” の順に固定出力され、ゼロ入力が終了するまで繰り返し出力されます。ゼロ入力が終了し入力に変化すると通常の出力に戻ります。また、ゼロパターン出力は Lch,Rch でそれぞれ独立に動作します。

・入力 CLIP 機能

入力制限を超えた信号が入力されると、内部で入力信号に対してクリップ処理を行います。クリップ処理は DSDCLP bit によって設定できます。

・発振検知機能（エラー検知機能）

DSD 出力部内部で発振状態を検知すると、Lch については ERRINTL が、Rch については ERRINTR bit がそれぞれ“1”になります。発振を検知した ch はリセット状態となり、出力がゼロパターン出力に固定されます。発振検知によるゼロパターン出力固定状態を解除するには RSTN bit=“0”としてください。ただし、矩形波のフルスケール(0dB)入力時は、エラー検出が機能しません。出力が-∞ DC(duty50%)になります。(クリップで無理やり切った場合、1 コードでもずれていればエラー検出は働きます。)

発振検知機能は ERRMASK bit によって ON/OFF を切り替えることができます (Default ON)。

Phase ModulationモードはODCLK周波数256fsでは使用できません。

■ システムリセット

AK4137はPDN pinを“L”にすることでパワーダウンできます。この時、同時に各デジタルフィルタがリセットされます。PDN pin = “L”時にはSDTO出力は“L”です。電源投入時にはPDN pinに一度“L”を入力してリセットしてください。クロック投入後のパワーダウン解除よりデータ出力が可能となる時間は32ms(max)です。それまでの間、SDTOは“L”を出力します。内蔵レギュレータ立ち上がり待ち時間経過後のILRCKのエッジでデバイス内部のSRC回路がパワーアップします。

Case 1

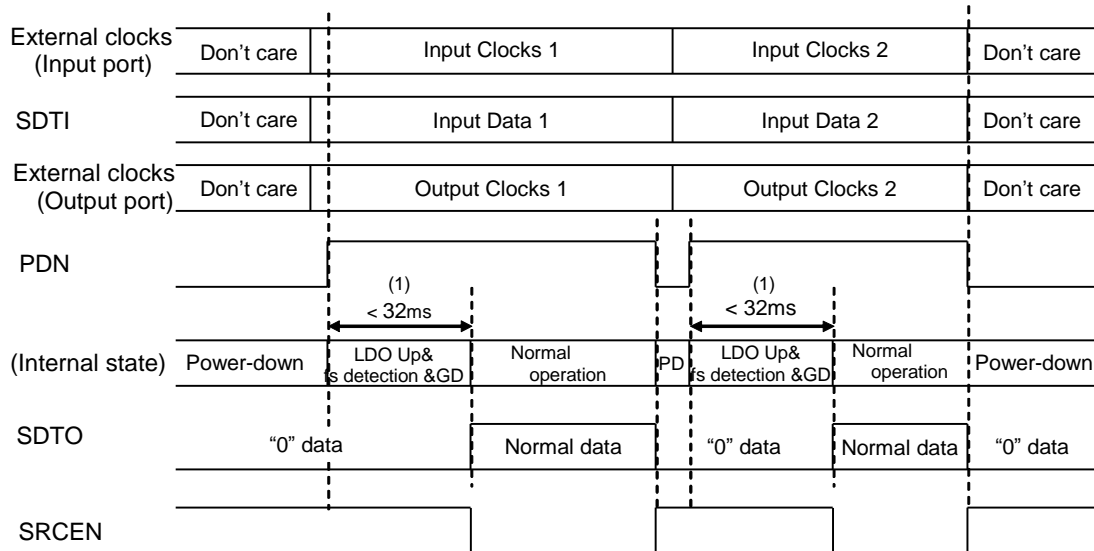


Figure 43. システムリセット 1

PSN, CM3-0, OBIT1-0, TDM, ODIF-0 IDIF2-0, CAD1-0 pin は、PDN pin = “L” 中に切替えてください。PDN pin = “L”中は SRCE_N pin は“H”を出力します。PDN pin “↑”エッジ後、内蔵レギュレータが立ち上がり正常動作している場合は、Ratio 検出が終了した SRC に対応する SDTO pin から SRC データが出力し始めます。

Case 2

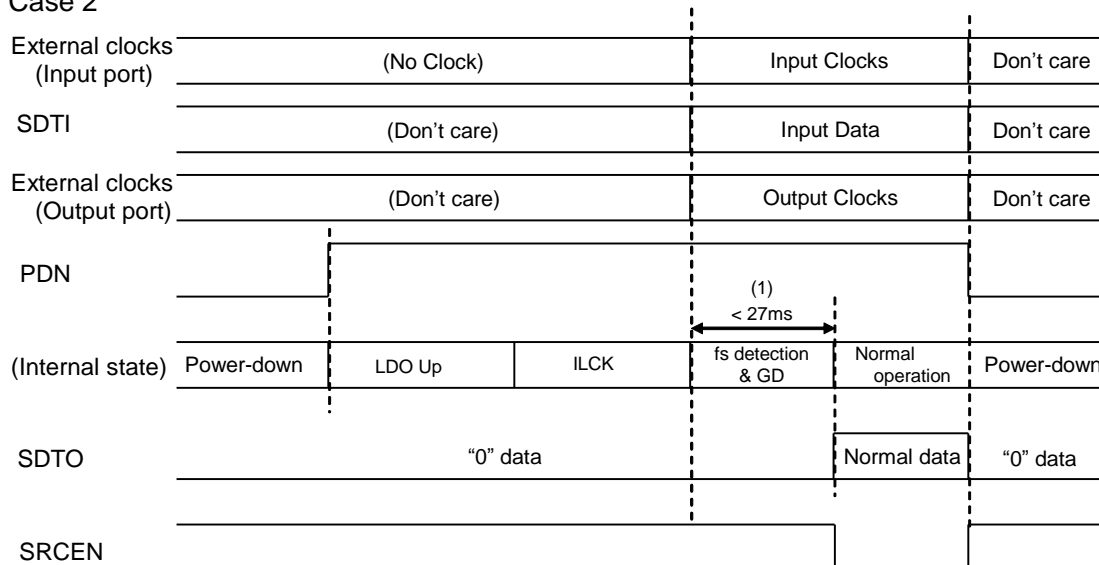


Figure 44. システムリセット 2

■ クロック切り替えの手順

AK4137 へ供給するクロックの切り替え手順を下図に示します。クロックを切り替える場合はパラレルコントロールモードでは PDN pin でリセットしてください(Figure 45)。シリアルコントロールモードでは PDN pin あるいは RSTN bit でリセットしてください(Figure 46)。

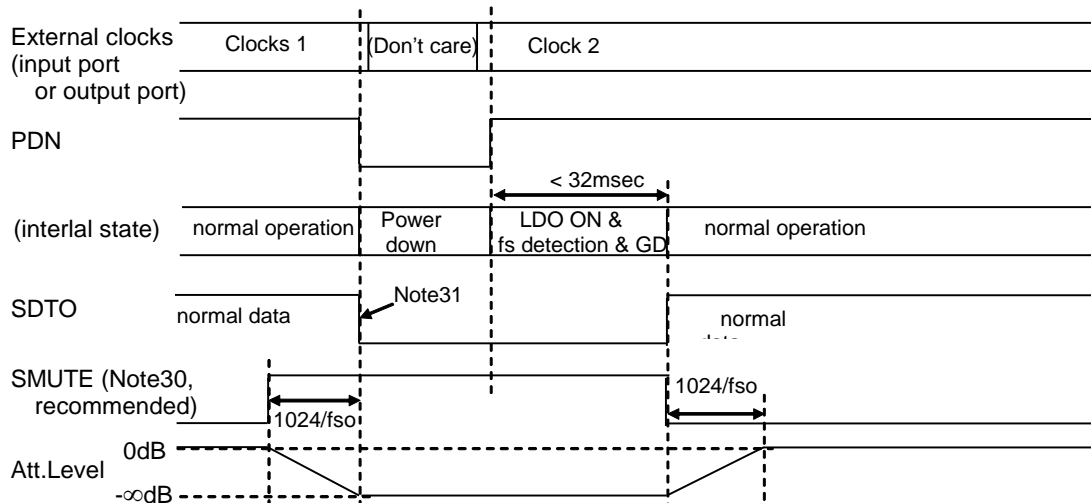


Figure 45. Sequence of Changing Clocks (パラレルコントロールモード PSN pin="H")

Note 31. この時出力データは異音となる可能性があります。PDN pin を“L”にするより GD 以上前から SDTI に“0”データが入力されていれば、この間も“0”データ出力となります。

Note 32. Note 31の異音を SMUTE で除去することができます。

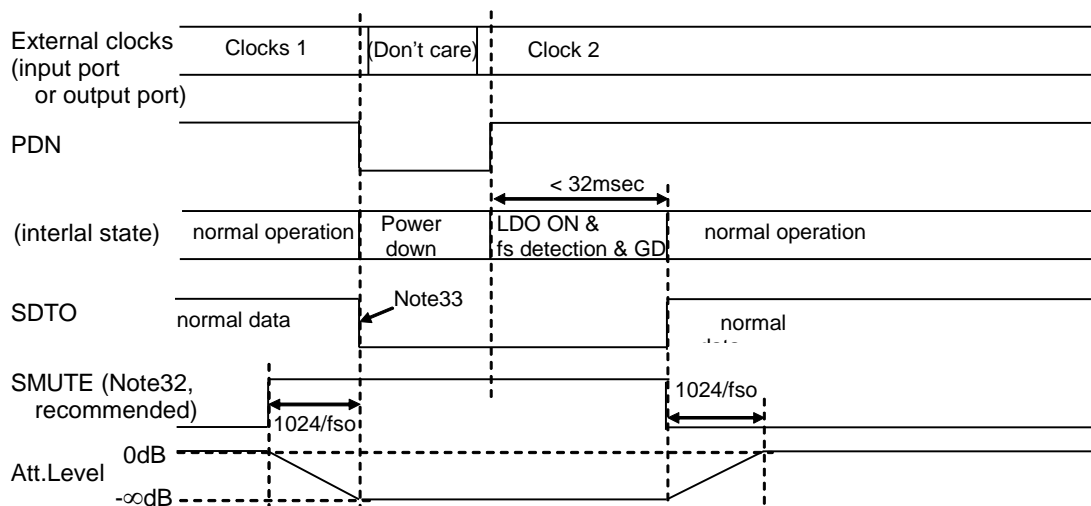


Figure 46. Sequence of Changing Clocks シリアルコントロールモード(PSN pin="L")

Note 33. この時出力データは異音となる可能性があります。PDN pin を“L”にするより GD 以上前から SDTI に“0”データが入力されていれば、この間も“0”データ出力となります。

Note 34. Note 33の異音を SMUTE で除去することができます。

Note 35. シリアルコントロールインターフェイスとレジスタ以外のデジタル部がパワーダウンします。内蔵オシレータ とレギュレータはパワーダウンしません。

Note 36. $214/F_{SO}$ 。FSI(O)は、FSI か FSO の周波数が低い方です。

■ PDN pin あるいは RSTN bit でリセットせずに入力ポートの ILRCK 周波数を変化させた場合

変化前の FSO/FSI が安定している状態での ILRCK 1 周期中の内蔵オシレータクロック数と変化後 ILRCK 1 周期中の内蔵オシレータクロック数を比べてその差がもとのクロックの 1/16 以上となる状態が変化後 ILRCK の 8 周期連続した場合、内部で自動的にリセットがかかり、Ratio 検出をやり直します。

内部リセットがかかると SDTO 出力は“L”になり、 $214/\text{FSO}$ (FSI(O)は、FSI か FSO の周波数が低い方。) 経過後、SRC データが出力されます。

クロック数の差がもとのクロックの 1/16 未満あるいはもとのクロックの 1/16 以上でも変化後 ILRCK の 8 周期連続しない場合、内部リセットはかかりません。遷移時間なしで瞬時に変化後 ILRCKx に切替った場合も内部リセットがかからない遷移期間を経て変化後 ILRCKx に切替った場合も切替えが完了してから正常な SRC データが出力されるまで $5148/\text{FSO}^{**}$ (max. 643.5ms PCM 出力@FSO=8kHz)かかる場合があります。遷移期間および正常な SRC データが出力されるまでは歪んだデータが出力される可能性があります。

ILRCK を停止した場合、内部で自動的にリセットがかかります。その後正常に入力されると $214/\text{FSO}$ (FSI(O)は、FSI か FSO の周波数が低い方。) 経過後に SRC データが出力されます。

■ PDN pin あるいは RSTN bit でリセットせずに出力ポートの OLRCK 周波数を変化させた場合

変化前の FSO/FSI が安定している状態での OLRCK 1 周期中の内蔵オシレータクロック数と変化後 OLRCK1 周期中の内蔵オシレータクロック数を比べてその差がもとのクロックの 1/16 以上となる状態が変化後 OLRCK の 8 周期連続した場合、内部で自動的にリセットがかかり、Ratio 検出をやり直します。

内部リセットがかかると SDTO 出力は “L”になり、 $214/\text{FSO}$ です。経過後、SRC データが出力されます。

クロック数の差がもとのクロックの 1/16 未満あるいはもとのクロックの 1/16 以上でも変化後 OLRCK の 8 周期連続しない場合、内部リセットはかかりません。遷移時間なしで瞬時に変化後 OLRCK に切替った場合も内部リセットがかからない遷移期間を経て変化後 OLRCK に切替った場合も切替えが完了してから正常な SRC データが出力されるまで $5148/\text{FSO}^{**}$ (max. 643.5ms PCM 出力@FSO=8kHz)かかる場合があります。遷移期間および正常な SRC データが出力されるまでは歪んだデータが出力される可能性があります。

OLRCK を停止した場合、内部で自動的にリセットがかかります。その後正常に入力されると $214/\text{FSO}$ 経過後に SRC データが出力されます。

**FSO=8kHz でかつ FSO/FSI が 1/6 から 1/5.99 へ変化した場合です。

FSO=32kHz でかつ FSO/FSI が 1/6 から 1/5.99 へ変化した場合は 160.9ms です。

■ レート変換時のポップノイズ除去

PDN pin あるいは RSTN bit でリセットせずに入力ポートの ILRCK 周波数、OLRCK 周波数を変化させた場合、ASCHON bit="1"で内部リセットがかかると、自動で出力信号がソフトミュートされます。ソフトミュート時間は Table 7 で設定された時間となります。

■ 入力ソース切り替え (PCM⇔DSDI、DoP モード)

PDN pin あるいは RSTN bit でリセットせずに、入力ソースを PCM から DSD、またはその逆、DoP モード時の PCM から DSD、またはその逆で変化させると、内部リセットがかかります。

ASCHON bit=“1”の時、クロックの切り替えも同時に起きると、自動で出力信号がソフトミュートされます。ソフトミュート時間はTable 8で設定された時間となります。ASCHON bit=“1”でもクロックの切り替えが検知されなければ、自動ソフトミュートはかかりません。

■ 内部ステータスピン

SRCEN pin は、内部状態を出力するピンです。PDN pin=“L”中は SRCEN pin は“H”を出力します。PDN pin “↑”エッジ後、内蔵レギュレータが立ち上り正常動作している場合は、Ratio 検出が終了したのち SDTO から SRC データが出力し始めます。

内蔵レギュレータにて過電流リミットあるいは過電圧リミットがかかった場合、SRCEN pin は“H”を出力します。レギュレータ部にて過電流リミットあるいは過電圧リミットがかかった場合に立つフラグとSRC部のRatio 検出終了フラグとのORがSRCEN pin から出力されます。

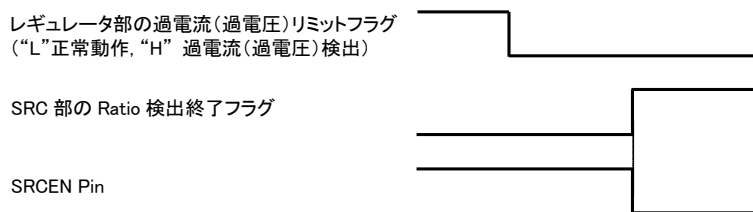


Figure 47. デバイス内部フラグと SRCEN Pin 出力

パラレルコントロールモードで PDN pin=“L”期間中に CM3-0 pin により SRC バイパスモードに設定し、パワーアップした場合、PDN pin “↑”エッジから内蔵レギュレータの立ち上り待ち時間 5ms(max)経過後、SRCEN pin は“L”になります。

シリアルコントロールモードで RSTN bit=“0” 期間中に BYPS bit に“1”を書込んだ場合、書き込み直後に SRCEN pin は“L”になります。

■ シリアルコントロールインタフェース

シリアルモードではPSN pinを“L”にすることによってイネーブルされます。

AK4137は4線式シリアルI/F(I2S pin=“L”)、またはI2Cバス(I2S pin=“H”)によって内部レジスタを制御します。

4線シリアルコントロールモード (I2C pin = “L”)

このモードでは4線式シリアルI/F pin: CSN, CCLK, CDTI で書き込みを行います。

I/F上のデータはChip address (2bit, C1/0), Read/Write (Write=“1”、Read=“0”), Register address (MSB first, 5bit)と Control data (MSB first, 8bit)で構成されます。データ送信側はCCLKの“↓”で各ビットを出力し、受信側は“↑”で取り込みます。データの書き込みはCSNの“↑”で有効になります。CDTOはRead時、及びD7-0出力時以外はHi-zとなります。CCLKのクロックスピードは5MHz(max)です。

PDN pinを“L”にすると内部レジスタ値が初期化されます。また、シリアルモードではRSTN bitに“0”を書き込むと内部タイミング回路がリセットされます。但し、このときレジスタの内容は初期化されません。

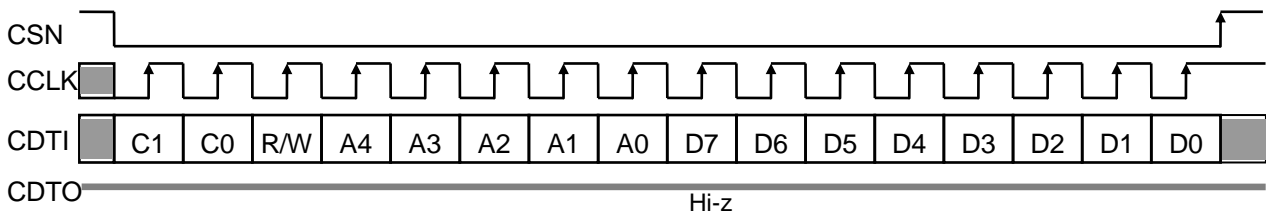


Figure 48. Write Operation

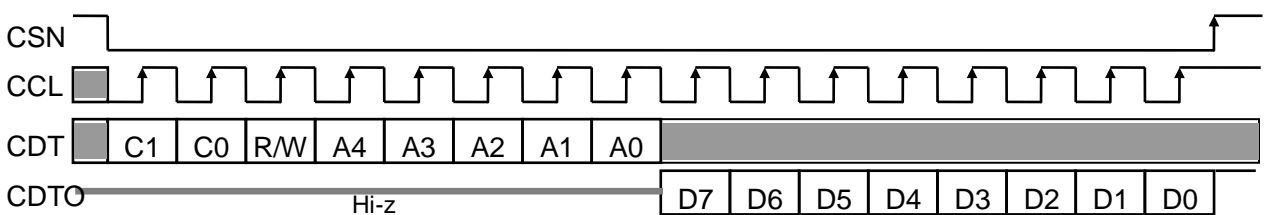


Figure 49. Read Operation

C1-C0: Chip Address (C1 bit =CAD1 pin, C0 bit =CAD0 pin)

R/W: READ/WRITE (Write=“1”, Read=“0”)

A4-A0: Register Address

D7-D0: Control Data

I²C バスコントロールモード (I2C pin = “H”)

AK4137 の I²C バスモードのフォーマットは、高速モード(max:400kHz)に対応します。

WRITE 命令

I²C バスモードにおけるデータ書き込みシーケンスはFigure 50に示されます。バス上の IC へのアクセスには、最初に開始条件(Start Condition)を入力します。SCL ラインが“H”の時に SDA ラインを“H”から“L”にすると、開始条件が作られます(Figure 56)。開始条件の後、スレーブアドレスが送信されます。このアドレスは7ビットから構成され、8ビット目にはデータ方向ビット(R/W)が続きます。上位5ビットは“00100”で固定、6,7番目のビット(CAD1, CAD0)は CAD1/0 pin= “H” の時は “1”、CAD1/0 pin= “L”の時は“0”です。アドレスが一致した場合、AK4137 は確認応答(Acknowledge)を生成し、命令が実行されます。マスタは確認応答用のクロックパルスを生成し、SDA ラインを解放しなければなりません(Figure 57)。R/W bit が“0”の場合はデータ書き込み、R/W bit が“1”の場合はデータ読み出しを行います。

第2バイトはサブアドレス(レジスタアドレス)です。サブアドレスは8ビット、MSB first で構成され、上位3ビットは“0”固定です(Figure 52)。第3バイト以降はコントロールデータです。コントロールデータは8ビット、MSB first で構成されます(Figure 53)。AK4137 は、各バイトの受信を完了するたびに確認応答を生成します。データ転送は、必ずマスタが生成する停止条件(Stop Condition)によって終了します。SCL ラインが“H”の時に SDA ラインを“L”から“H”にすると、停止条件が作られます(Figure 56)。

AK4137 は複数のバイトのデータを一度に書き込むことができます。データを1バイト送った後、停止条件を送らず更にデータを送ると、サブアドレスが自動的にインクリメントされ、次のデータは次のサブアドレスに格納されます。アドレス 06H を越えるデータを送ると、内部レジスタに対応するアドレスカウンタはロールオーバーし、アドレス“00H”から順に格納されます。

クロックが“H”の間は、SDA ラインの状態は一定でなければなりません。データラインが“H”と“L”の間で状態を変更できるのは、SCL ラインのクロック信号が“L”の時に限られます(Figure 58)。SCL ラインが“H”の時に SDA ラインを変更するのは、開始条件、停止条件を入力するときのみです。

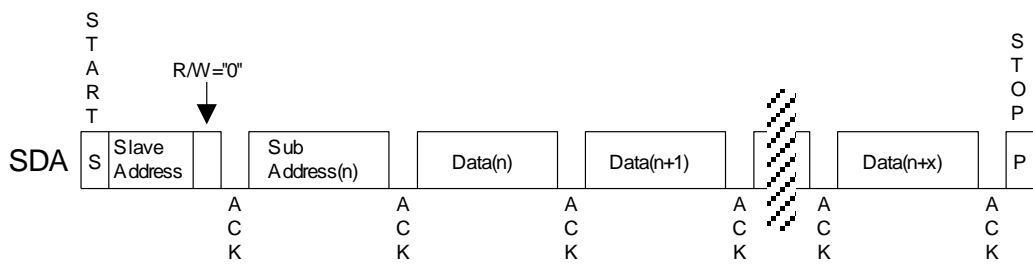


Figure 50. Data Transfer Sequence at the I²C-Bus Mode

0	0	1	0	0	CAD1	CAD0	R/W
---	---	---	---	---	------	------	-----

Figure 51. The First Byte

0	0	0	A4	A3	A2	A1	A0
---	---	---	----	----	----	----	----

Figure 52. The Second Byte

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

Figure 53. Byte Structure after the second byte

READ 命令

R/W bit が“1”の場合、AK4137 は READ 動作を行います。指定されたアドレスのデータが出力された後、マスタが停止条件を送らず確認応答を生成すると、サブアドレスが自動的にインクリメントされ、次のアドレスのデータを読み出すことができます。アドレス“06H”のデータを読み出した後、さらに次のアドレスを読み出す場合にはアドレス“00H”のデータが読み出されます。

AK4137 はカレントアドレスリードとランダムリードの 2 つの READ 命令を持っています。

1. カレントアドレスリード

AK4137 は内部にアドレスカウンタを持っており、カレントアドレスリードではこのカウンタで指定されたアドレスのデータを読み出します。内部のアドレスカウンタは最後にアクセスしたアドレスの次のアドレス値を保持しています。例えば、最後にアクセス(READ でも WRITE でも)したアドレスが“n”であり、その後カレントアドレスリードを行った場合、アドレス“n+1”のデータが読み出されます。カレントアドレスリードでは、AK4137 は READ 命令のスレーブアドレス(R/W bit = “1”)の入力に対して確認応答を生成し、次のクロックから内部のアドレスカウンタで指定されたデータを読み出したのち内部カウンタを1つインクリメントします。データが出力された後、マスタが確認応答を生成せず停止条件を送ると、READ 動作は終了します。

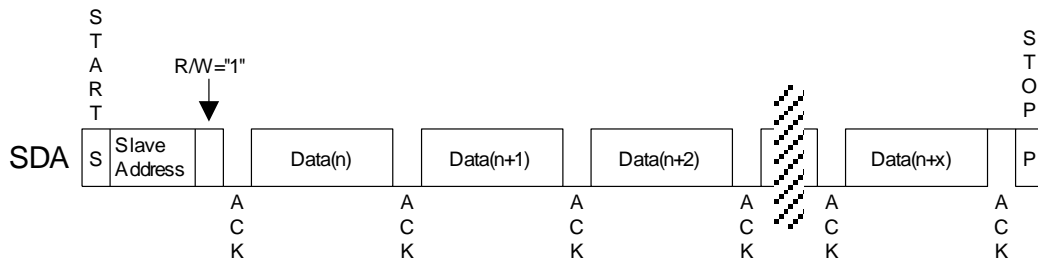


Figure 54. Current Address Read

2. ランダムアドレスリード

ランダムアドレスリードにより任意のアドレスのデータを読み出すことができます。ランダムアドレスリードは READ 命令のスレーブアドレス(R/W bit = “1”)を入力する前に、ダミーの WRITE 命令を入力する必要があります。ランダムアドレスリードでは最初に開始条件を入力し、次に WRITE 命令のスレーブアドレス(R/W bit = “0”)、読み出すアドレスを順次入力します。AK4137 がこのアドレス入力に対して確認応答を生成した後、再送条件、READ 命令のスレーブアドレス(R/W bit = “1”)を入力します。AK4137 はこのスレーブアドレスの入力に対して確認応答を生成し、指定されたアドレスのデータを読み出し、内部アドレスカウンタを1つインクリメントします。データが出力された後、マスタが確認応答を生成せず停止条件を送ると、READ 動作は終了します。

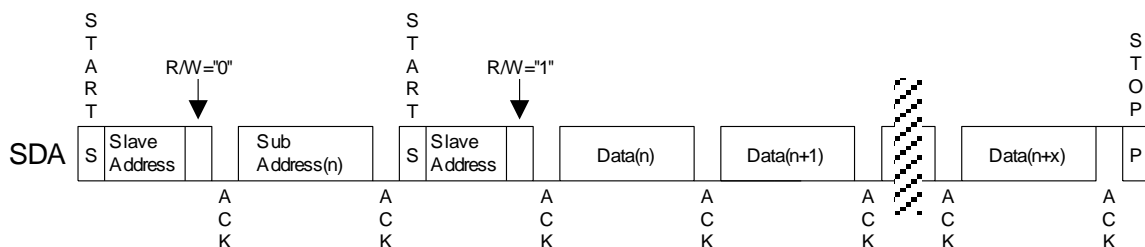


Figure 55. Random Address Read

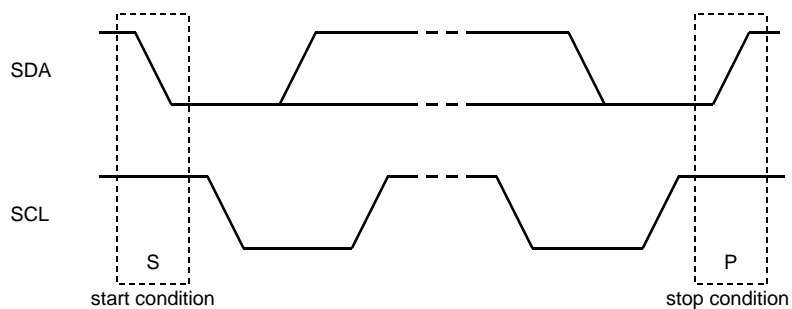


Figure 56. START and STOP Conditions

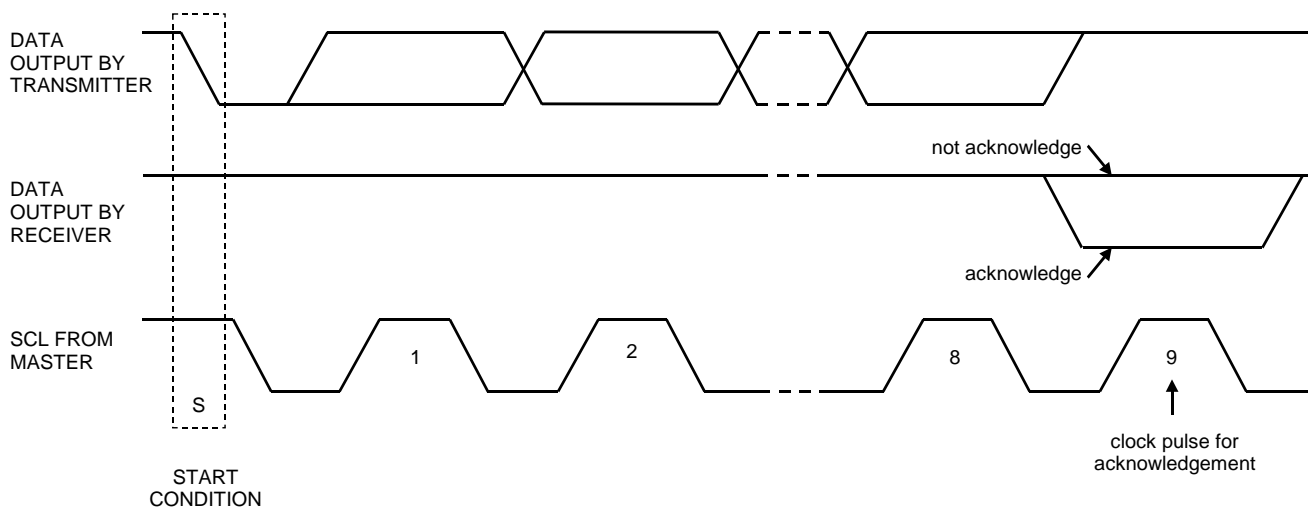


Figure 57. Acknowledge on the I²C-Bus

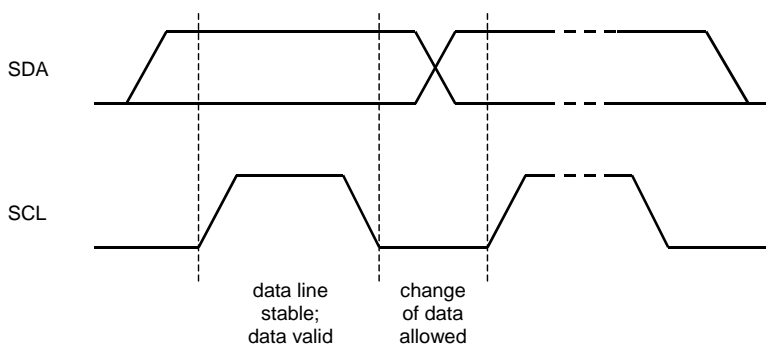


Figure 58. Bit Transfer on the I²C-Bus

SCL, SDA pinとDVDDとの間に保護ダイオードがあるためプルアップ抵抗の接続先はDVDD+0.3V以下にしてください。

■ レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0	default
00H	Reset & Mute	SMSEMI	SMT2	SMT1	SMT0	SMUTE	BYPS	FORCE STB	RSTN	0x01
01H	PCMCONT0	SLOW	SD	DEM1	DEM0	DITHER	IDIF2	IDIF1	IDIF0	0x12
02H	PCMCONT1	0	0	0	HEXAE	ASCHON	TDMICH2	TDMICH1	TDMICH0	0x00
03H	DSDICONT	PCMFSO1	PCMFSO0	DSDIFS1	DSDIFS0	DOP	PMI	IDCKB	DSDIE	0x10
04H	DSDOCONT	DSDCLP1	DSDCLP0	DSDOFS1	DSDOFS0	ERRMASK	PMO	ODCKB	DSDOE	0x50
05H	DSDGAIN	0	0	0	0	0	0	OGAINM6	IGAIN6	0x02
06H	DSDOSTATUS	0	0	0	0	0	0	ERRINTR	ERRINTL	-

Note 37. PDN pin を “L” にするとレジスタ値は初期化されます。

Note 38. アドレス 00H~06H 以外のアドレスへの書込みは禁止です。“0”で指定されたデータビットへの“1”の書込みは禁止です。

Note 39. PDN pin “↑”エッジから 5ms(max)経過後、uP Interface へのアクセスが可能になります。

■ 詳細説明

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Reset & Mute	SMSEMI	SMT2	SMT1	SMT0	SMUTE	BYPAS	FORCE STB	RSTN
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	0	0	1

SMSEMI: Semi Auto Soft Mute

0: Semi Auto Soft Mute Off (default)

1: Semi Auto Soft Mute ON

SMSEMI pin 設定が有効となります。(レジスタ設定は無視されます。レジスタ設定はできません)

SMT2-0: Soft Mute Period

000: 1024/fso (default)

001: 2048/fso

010: 4096/fso

011: 8192/fso

100: 1024/fso (default)

101: 2048/fso

110: 4096/fso

111: 8192/fso

Soft Mute サイクルを決めます

シリアルコントロールモード(PSN pin="L")時、SMT1、SMT0 pin 設定は無視されます。

パラレルコントロールモード(PSN pin="H")時、SMT1、SMT0 pin 設定が有効となります。

SMUTE: Soft Mute Control

0: ソフトミュート解除 (default)

1: ソフトミュート

シリアルコントロールモード(PSN pin="L")時、CSN/SMUTE pin は CSN pin となり、SMUTE と
しての設定は無視されます。パラレルコントロールモード(PSN pin="H")時、SMUTE pin 設定が有
効となります。

BYPAS: Bypass Mode Control (Table 3)

0: SRC モード (default)

1: SRC バイパスモード

FORCESTB: CLKSTABLE (IRCK、OLRCK の変化のありなしチェック信号)を強制で"1"にします。

0: 通常動作 (default)

1: CLKSTABLE=1

RSTN: Digital Reset control

0: リセット

1: リセット解除 (default)

"0"で 一部を除くデジタル部がパワーダウンされます。I²C シリアルコントロールインターフェ
イス部とコントロールレジスタ部はパワーダウンされないのでコントロールレジスタの内容は初
期化されません。また、コントロールレジスタへの書込みも可能です。内部クロックを発生する内蔵
発振器、レギュレータ、基準電圧発生回路はパワーダウンされません。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
01H	PCMONT0	SLOW	SD	DEM1	DEM0	DITHER	IDIF2	IDIF1	IDIF0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	1	0	0	1	0

SLOW: FIR1 フィルタ係数選択

0: Sharp Roll OFF フィルタ (default)

1: Slow Roll OFF フィルタ

シリアルコントロールモード(PSN pin= "L")時、SDA/CDTI/SLOW pin は SDA/CDTI pin となり、SLOW としての設定は無視されます。

パラレルコントロールモード(PSN pin= "H")時、SLOW pin 設定が有効となります。

SD: FIR1 フィルタ係数選択

0: Normal Delay フィルタ (default)

1: Short Delay フィルタ

シリアルコントロールモード(PSN pin = "L")時、SCL/CCLK/SD pin は SCL/CCLK pin となり、SD としての設定は無視されます。

パラレルコントロールモード(PSN pin = "H")時、SD pin 設定が有効となります。

DEM1、DEM0: De-emphasis Control

00: 44.1KHz

01: OFF (default)

10: 48KHz

11: 32KHz

パラレルコントロールモード(PSN pin = "H")時、DEM1、DEM0 pin設定が有効となります。

DITHER: DITHER を加算します。

0: DITHER OFF (default)

1: DITHER ON

DITHER pin 設定が有効となります。(レジスタ設定は無視されます)

IDIF2、IDIF1、IDIF0: 入力ポートオーディオデータインタフェースモード選択([Table 2](#))

000: 32bit, LSB justified

001: 24bit, LSB justified

010: 32bit, MSB justified (default)

011: 32 or 16bit, I2S justified

100: TDM 32bit, MSB justified

101: TDM 32bit, I2S Compatible

110: TDM 32bit, MSB justified

111: TDM 32bit, I2S Compatible

パラレルコントロールモード(PSN pin = "H") 時、IDIF2、IDIF1、IDIF0 pin 設定が有効となります。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
02H	PCMONT0	0	0	0	HEXAE	ASCHON	TDMICH2	TDMICH1	TDMICH0
	R/W	RD	RD	RD	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	0	0	0

HEXAE: 768fs out mode for PCM

- 0: Normal Output Mode (default)
- 1: 768fs Output Mode

ASCHON: Auto Input Source Change Mode ON

- 0: Auto Input Source Change Mode OFF (default)
- 1: Auto Input Source Change Mode ON

TDMICH2、TDMICH1、TDMICH0 : TDM Input Mode Channel Select

・ 256fs Mode ("")

- 000: Ch1 (Lch), Ch2 (Rch) (default)
- 001: Ch3 (Lch), Ch4 (Rch)
- 010: Ch5 (Lch), Ch6 (Rch)
- 011: Ch7 (Lch), Ch8 (Rch)
- 100: Ch1 (Lch), Ch2 (Rch)
- 101: Ch2 (Lch), Ch4 (Rch)
- 110: Ch5 (Lch), Ch6 (Rch)
- 111: Ch7 (Lch), Ch8 (Rch)

・ 512fs Mode ("")

- 000: Ch1 (Lch), Ch2 (Rch) (default)
- 001: Ch3 (Lch), Ch4 (Rch)
- 010: Ch5 (Lch), Ch6 (Rch)
- 011: Ch7 (Lch), Ch8 (Rch)
- 100: Ch9 (Lch), Ch10 (Rch)
- 101: Ch11 (Lch), Ch12 (Rch)
- 110: Ch13 (Lch), Ch14 (Rch)
- 111: Ch15 (Lch), Ch16 (Rch)

パラレルコントロールモード(PSN pin= "H") 時、Ch1(Lch)、Ch2 (Rch)が選択されます。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
03H	DSDICONT	PCMFSO1	PCMFSO0	DSDIFS1	DSDIFS0	DOP	PMI	IDCKB	DSDIE
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	1	0	0	0	0

PCMFSO1、PCMFSO0: PCM Output Sampling 周波数選択→DSD 入力時のフィルタ選択

- 00: 44.1KHz or 48KHz (Cut Off 20KHz) (default)
- 01: 88.2KHz or 96KHz (Cut Off 40KHz)
- 10: 176.4KHz or 192KHz (Cut Off 80KHz)
- 11: 384KHz or more (Cut Off 100KHz)

DSDIFS1、DSDIFS0: DSD Input FS 選択

- 00: 64fs
- 01: 128fs (default)
- 10: 256fs
- 11: Reserved

DOP: DSD Over PCM (DoP) Mode 選択

- 0: OFF (default)
- 1: ON

DOP bit = “1”の時、DSDIE bit は“1”にしないでください。DSDIE bit = “1”にすると、DSD Input モードになります。

PMI: DSD 入力 Phase Moduration Mode 選択

- 0: Not Phase Modulation Mode (default)
- 1: Phase Modulation Mode

IDCKB: Polarity of IDCLK (DSD 入力)

- 0: DSD data is input from IDCLK falling edge (default)
- 1: DSD data is input from IDCLK rising edge

DSDIE: DSD Input Enable

- 0: DSD Input Mode OFF (default)
- 1: DSD Input Mode ON

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
04H	DSDOCONT	DSDCLP1	DSDCLP0	DSDOFS1	DSDOFS0	ERRMASK	PMO	ODCKB	DSDOE
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	1	0	1	0	0	0	0

DSDCLP1、DSDCLP0: Clip 処理

- 00: Clip 処理なし
- 01: Clip 処理あり -6dB (default)
- 10: Clip 処理あり -9dB
- 11: Reserved (Clip 処理あり -6dB)

DSDOFS1、DSDOFS0: DSD Output FS 選択

- 00: 64fs
- 01: 128fs (default)
- 10: 256fs
- 11: Reserved

ERRMASK: MASK Reset

- 0: Error Detect and Reset (default)
- 1: Error Detect and Not Reset

PMO: DSD 出力 Phase Moduration Mode 選択

- 0: Not Phase Modulation Mode (default)
- 1: Phase Modulation Mode

ODCKB: Polarity of ODCLK (DSD 出力)

- 0: DSD data is output from ODCLK falling edge (default)
- 1: DSD data is output from ODCLK rising edge

DSDOE: DSD Output Enable

- 0: DSD Output Mode OFF (default)
- 1: DSD Output Mode ON

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
05H	DSDCONT	0	0	0	0	0	0	OGAINM6	IGAIN6
	R/W	RD	RD	RD	RD	RD	RD	R/W	R/W
	Default	0	0	0	0	0	0	1	0

OGAINM6: DSD OUT block in data Gain -6dB

- 0: OFF
- 1: ON (default)

IGAIN6: DSD IN Gain 6dB

- 0: OFF (default)
- 1: ON

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
06H	DSDOCONT	0	0	0	0	0	0	ERRINTR	ERRINTL
	R/W	RD	RD	RD	RD	RD	RD	RD	RD
	Default	0	0	0	0	0	0	0	0

ERRINTR: Error Signal Detect and Reset for Rch

0: No Error

1: Error

ERRINTL: Error Signal Detect and Reset for Lch

0: No Error

1: Error

■ グラウンドと電源のデカップリング

電源とグラウンドの取り方には十分注意してください。小容量のデカップリングコンデンサはなるべく電源ピンの近くに接続してください。

16. ジッター耐量

AK4137 の IBICK 及び ILRCK に対するジッター耐量を Figure 59 に示します。ジッター量 Figure 59 に示されるようにジッター周波数とジッター強度で定義され、0.01UIpp 以下のジッター強度であれば周波数に関わらず正常に動作します。

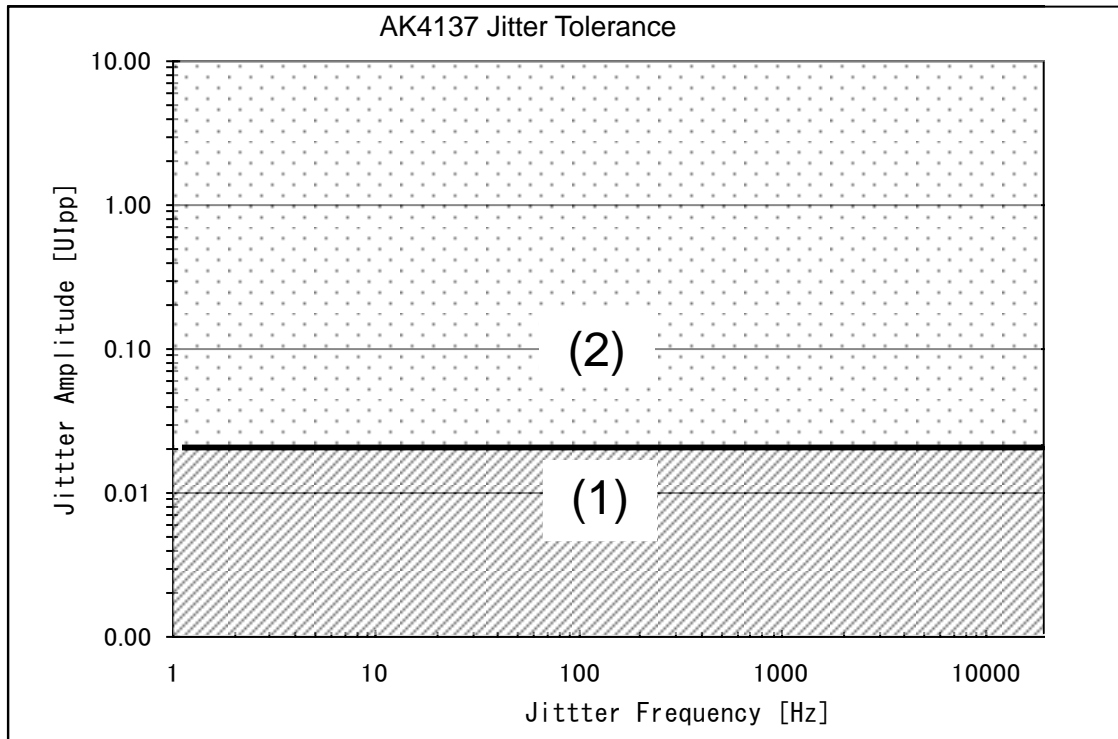


Figure 59. Jitter Tolerance

- (1) 正常動作。
- (2) 出力データが欠落する可能性あり。

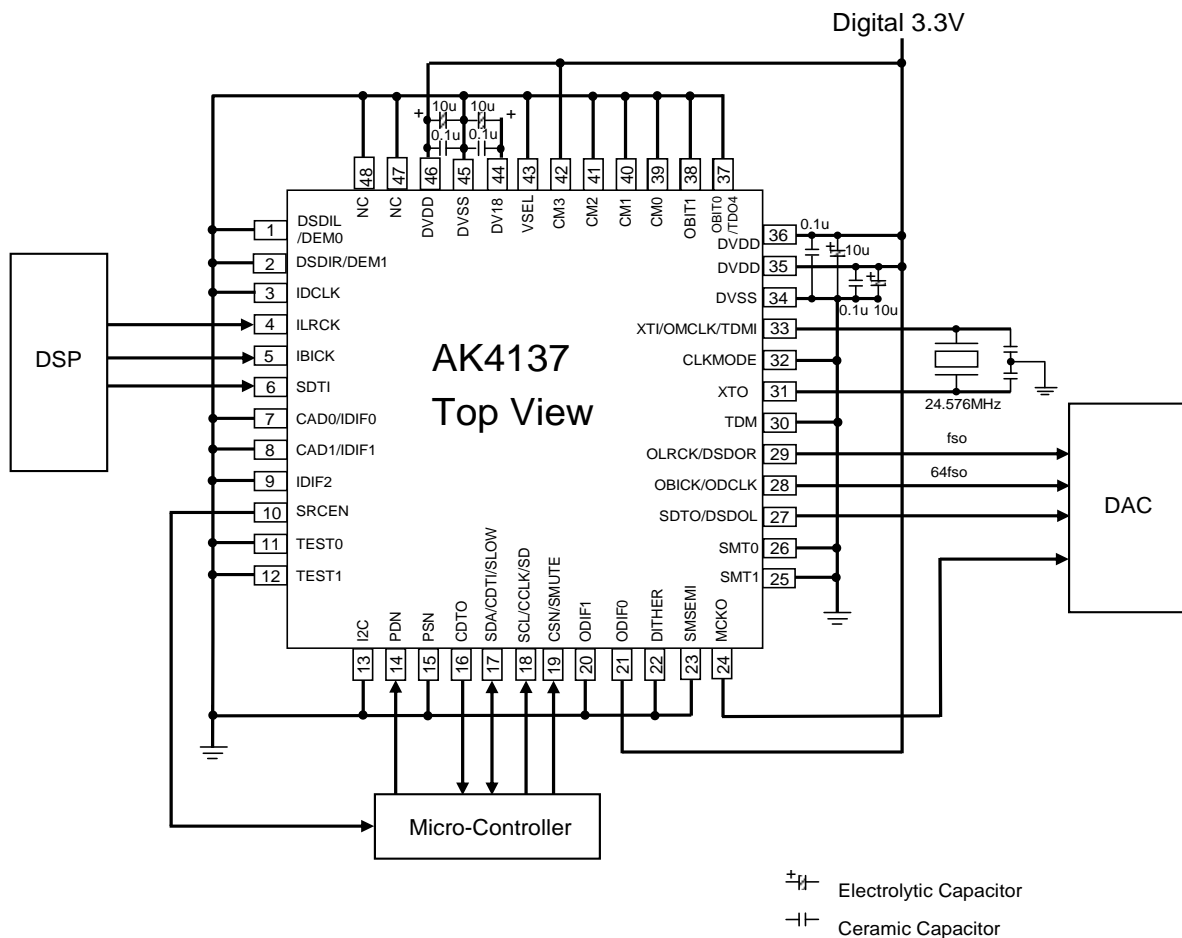
Note

- ・ Y軸は、THD+Nが劣化し始める直前の ILRCKのジッター強度です。1[UIpp]は、ILRCKの1周期です。FSI=48kHzの場合、1[UIpp]=1/48kHz=20.8μsになります。
- ・ ILRCKとIBICKにジッターを重畳しそれに同期したデータ入力にて検証および評価した結果です。

17. システム設計

Figure 60およびFigure 62はシステム接続例です。具体的な回路と測定例については評価ボード (AKD4137)を参照してください。

- シリアルコントロールモード (PSN pin = "L").
- 4線シリアルコントロールモード, Chip Address = "00"
- XT1/XTO = 64FSO, X'tal 使用
- Input PORT: Slave mode, IBICK, 64FSI
入力オーディオインタフェースフォーマットはレジスタ設定可能
- Output PORT: Master mode, 32 or 16 bit I2S Compatible, BICK, MCKO = 64FSO(mode8).
- Dither = OFF, ディエンファシスフィルタはレジスタ設定可能。

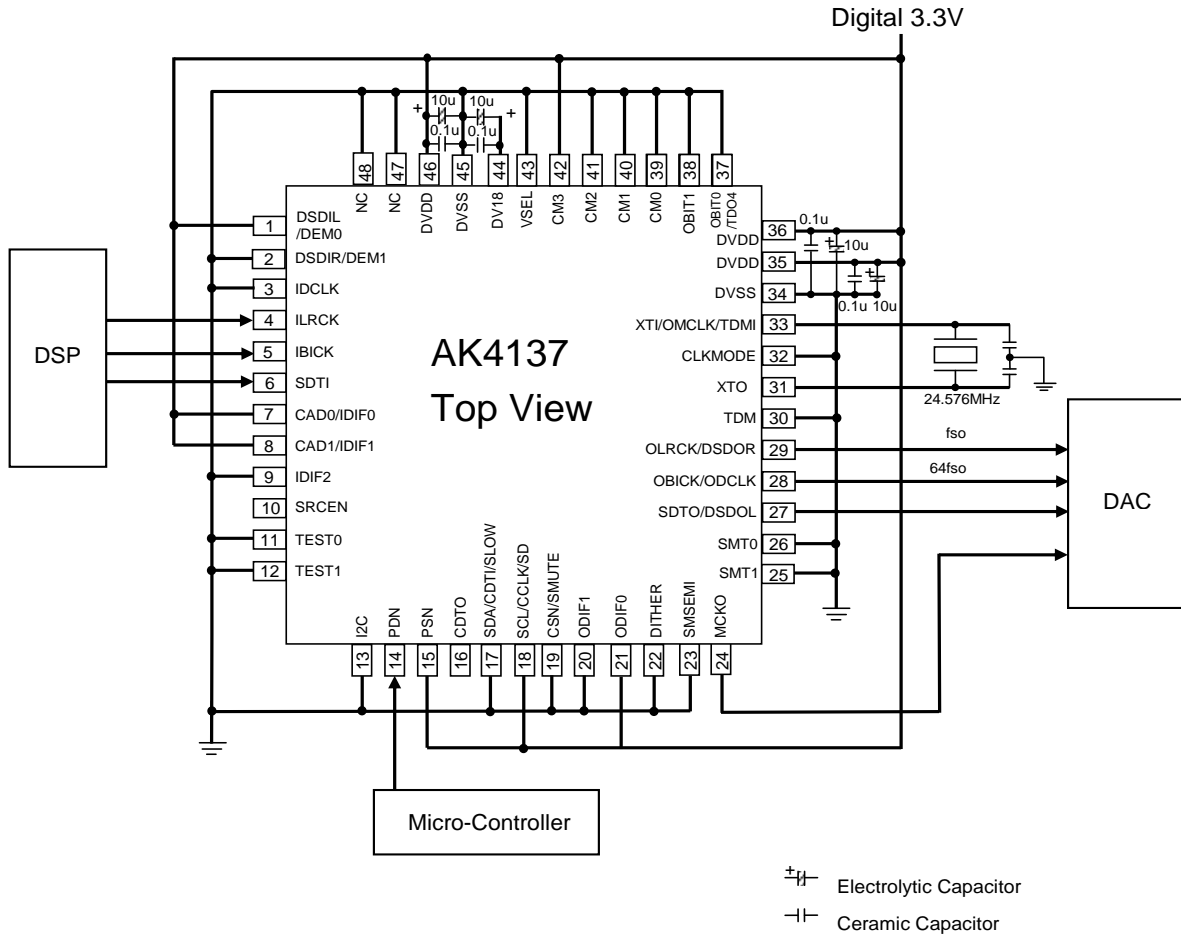


Notes:

- AK4137 の DVSS と周辺コントローラ等のグラウンドは分けてください。
- デジタル入力ピンはオープンにしないでください。
- X'tal 周辺のコンデンサ C の値はTable 1を参照してください。

Figure 60. Typical Connection Diagram (serial control mode)

- パラレルコントロールモード(PSN pin = “H”).
- XT1/XTO = 64FSO, X’tal 使用
- Input PORT: Slave mode, IBICK, 64FSI
 入力オーディオインタフェースフォーマットはレジスタ設定可能
- Output PORT: Master mode, 32 or 16 bit I2S Compatible, BICK ,MCKO = 64FSO(mode8)..
- Dither = OFF, ディエンファシスフィルタはレジスタ設定可能。



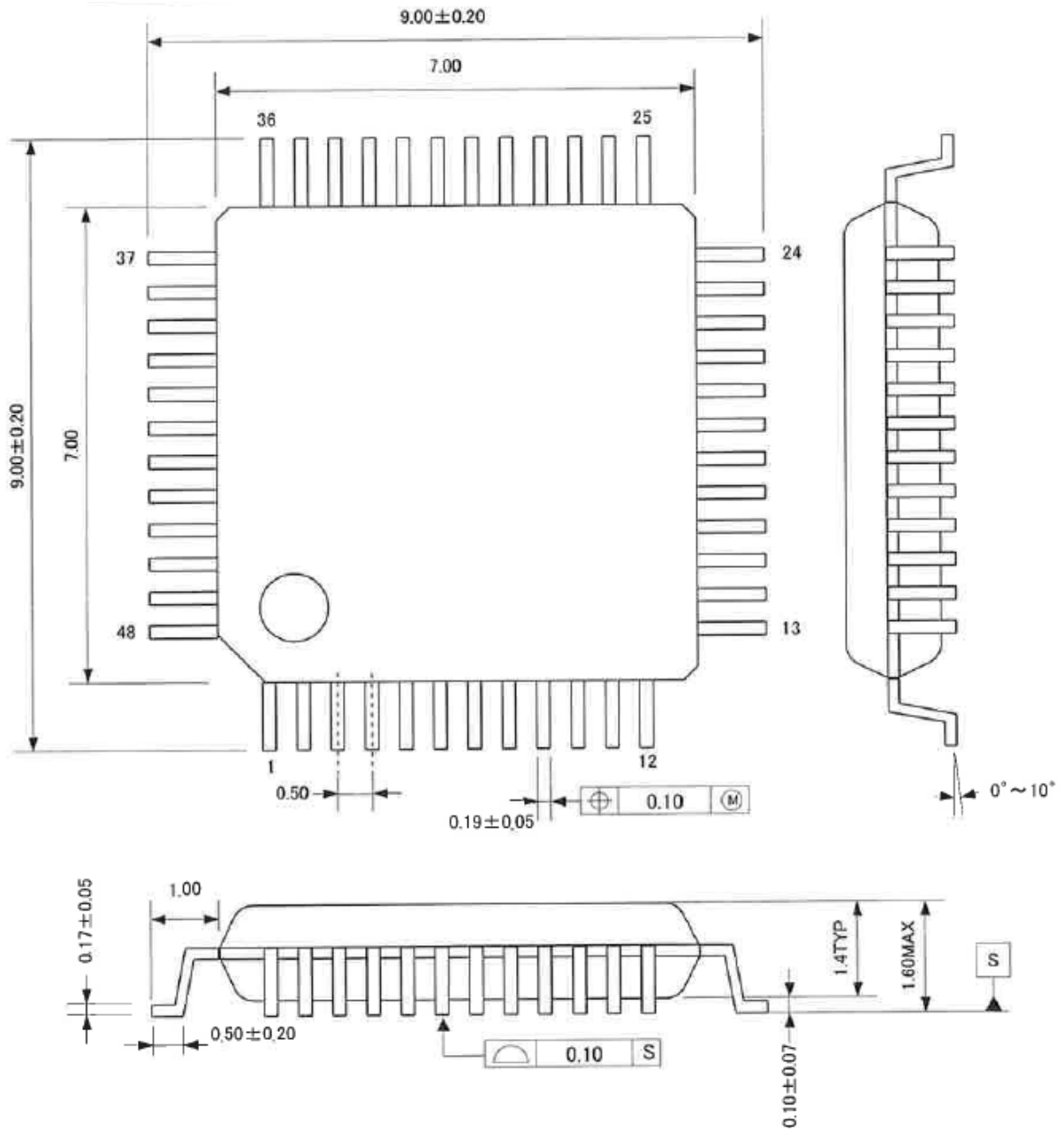
Notes:

- AK4137 の DVSS と周辺コントローラ等のグラウンドは分けてください。
- デジタル入力ピンはオープンにしないでください。
- X’tal 周辺のコンデンサ C の値はTable 1を参照してください。

Figure 61. Typical Connection Diagram (parallel control mode)

18. パッケージ

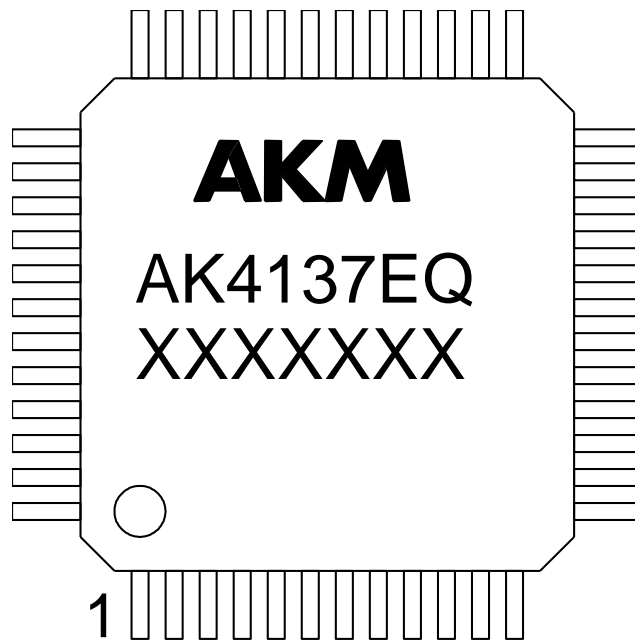
■ 外形寸法図



■ 材質・メッキ仕様

パッケージ材質 : エポキシ系樹脂
 リードフレーム材質 : 銅
 端子処理 : 半田 (無鉛) メッキ

■ マーキング



XXXXXXXX: Date code identifier

19. 改訂履歴

Date (Y/M/D)	Revision	Reason	Page	Contents
15/07/10	00	初版		
15/08/31	01	誤記訂正 記述変更	12-13	8. SRC 特性 FSO/FSI の表記を修正 ■ PCMIN → PCMOUT Note 8 を削除 ■ PCMIN → DSDOUT A-weighted dynamic range was deleted. Note を変更 ■ PCMIN → PCMOUT A-weighted dynamic range: 140 → 142dB (typ.) Note を変更 ■ DSDIN → DSDOUT A-weighted dynamic range was deleted.
		誤記訂正	20	“■ DSD 出力特性” を削除
		記述変更	41	■ X'tal Mode Figure 21 の説明文を変更
		記述追加	57	“■ Digital フィルタ” を追加
		記述変更	58	■ DSD モード Dop (*) 入力 “DoP データ検出コードは 0x05、0xFA、0xAA です。” を削除
		誤記訂正	76, 77	17. システム設計 “OMCLK/XTI 入力= 64FSO, X'tal 使用” → “XTI/XTO = 64FSO, X'tal 使用” Figure 60, Figure 61 を変更

重要な注意事項

0. 本書に記載された弊社製品（以下、「本製品」といいます。）、および、本製品の仕様につきましては、本製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
1. 本書に記載された情報は、本製品の動作例、応用例を説明するものであり、その使用に際して弊社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。お客様の機器設計において当該情報を使用される場合は、お客様の責任において行って頂くとともに、当該情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。
2. 本製品は、医療機器、航空宇宙用機器、輸送機器、交通信号機器、燃焼機器、原子力制御用機器、各種安全装置など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に使用されることを意図しておらず、保証もされていません。そのため、別途弊社より書面で許諾された場合を除き、これらの用途に本製品を使用しないでください。万が一、これらの用途に本製品を使用された場合、弊社は、当該使用から生ずる損害等の責任を一切負うものではありません。
3. 弊社は品質、信頼性の向上に努めておりますが、電子製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により、生命、身体、財産等が侵害されることのないよう、お客様の責任において、本製品を搭載されるお客様の製品に必要な安全設計を行うことをお願いします。
4. 本製品および本書記載の技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。本製品および本書記載の技術情報を輸出または非居住者に提供する場合は、「外国為替及び外国貿易法」その他の適用ある輸出関連法令を遵守し、必要な手続を行ってください。本製品および本書記載の技術情報を国内外の法令および規則により製造、使用、販売を禁止されている機器・システムに使用しないでください。
5. 本製品の環境適合性等の詳細につきましては、製品個別に必ず弊社営業担当までお問合せください。本製品のご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようにご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、弊社は一切の責任を負いかねます。
6. お客様の転売等によりこの注意事項に反して本製品が使用され、その使用から損害等が生じた場合はお客様にて当該損害をご負担または補償して頂きますのでご了承ください。
7. 本書の全部または一部を、弊社の事前の書面による承諾なしに、転載または複製することを禁じます。